

S9KEA128P80M48SF0

KEA128 子系列数据手册

支持以下产品: S9KEAZ64AMLK(R)、
S9KEAZ128AMLK(R)、
S9KEAZ64AVLK(R)、
S9KEAZ128AVLK(R)、
S9KEAZ64ACLK(R)、
S9KEAZ128ACLK(R)、
S9KEAZ64AMLH(R)、
S9KEAZ128AMLH(R)、
S9KEAZ64AVLH(R)、
S9KEAZ128AVLH(R)、
S9KEAZ64ACLH(R)、
S9KEAZ128ACLH(R)

主要功能

- 工作范围
 - 电压范围: 2.7 至 5.5 V
 - Flash 编程电压范围: 2.7 至 5.5 V
 - 温度范围 (环境): -40 至 125°C
- 性能
 - 最高 48 MHz 的 ARM® Cortex-M0+内核
 - 单周期 32 位 x 32 位乘法器
 - 单周期 I/O 访问端口
- 存储器和存储器接口
 - 最高 128 KB 的 Flash
 - 最高 16 KB 的 RAM
- 时钟
 - 振荡器(OSC) - 支持 32.768 kHz 晶振或 4 MHz 至 24 MHz 晶振或陶瓷谐振器; 可选择低功耗或高增益振荡器
 - 内部时钟源(ICS) - 内部或外部参考时钟源以及内部 FLL 组成, 其中内部 37.5kHz 预校准参考时钟源可用于 48MHz 系统时钟
 - 内部 1 kHz 低功耗振荡器(LPO)

- 系统外设
 - 电源管理模块(PMC)有三个功率模式: Run、Wait 和 Stop
 - 可复位、中断并带可选跳变点的低压检测(LVD)模块
 - 带独立时钟源的看门狗(WDOG)
 - 可配置循环冗余校验(CRC)模块
 - 串行线调试(SWD)接口
 - SRAM 位操作映射区域(BIT-BAND)
 - 位处理引擎(BME)
- 安全性和完整性模块
 - 每个芯片拥有 80 位唯一标识(ID)号
- 人机接口
 - 最多 71 个通用输入/输出(GPIO)
 - 两个 32 位键盘中断(KBI)模块
 - 外部中断(IRQ)模块
- 模拟模块
 - 一个高达 16 通道的 12 位 SAR ADC, 可工作在 Stop 模式, 可选硬件触发源(ADC)
 - 两个包含 6 位 DAC 和可配置参考输入的模拟比较器(ACMP)
- 定时器
 - 一个 6 通道 FlexTimer/PWM (FTM)
 - 两个 2 通道 FlexTimer/PWM (FTM)
 - 一个 2 通道周期性中断定时器(PIT)
 - 一个脉宽定时器(PWT)
 - 一个实时时钟(RTC)

- 通信接口
 - 两个 SPI 模块(SPI)
 - 高达三个 UART 模块(UART)
 - 两个 I2C 模块(I2C)
 - 一个 MSCAN 模块(MSCAN)
- 封装选项
 - 80 引脚 LQFP
 - 64 引脚 LQFP

目录

1 订购器件.....	4	4.2.2 FTM 模块时序.....	16
1.1 确定有效的可订购器件.....	4	4.3 热规格.....	16
2 器件标识.....	4	4.3.1 热特性.....	16
2.1 说明.....	4	5 外设工作要求与特性.....	18
2.2 格式.....	4	5.1 内核模块.....	18
2.3 字段.....	4	5.1.1 SWD 电气特性	18
2.4 示例.....	5	5.2 外部振荡器(OSC)和 ICS 特性.....	19
3 等级.....	5	5.3 NVM 规格.....	21
3.1 温度极限参数.....	5	5.4 模拟.....	21
3.2 湿度极限参数.....	5	5.4.1 ADC 特性.....	21
3.3 ESD 极限参数.....	5	5.4.2 模拟比较器(ACMP)电气规格.....	24
3.4 电压和电路极限参数.....	6	5.5 通信接口.....	24
4 通用.....	7	5.5.1 SPI 开关规格.....	24
4.1 非开关电气规格.....	7	5.5.2 MSCAN.....	27
4.1.1 DC 特性.....	7	6 尺寸.....	28
4.1.2 供电电流特性.....	13	6.1 获取封装尺寸.....	28
4.1.3 EMC 性能.....	14	7 管脚.....	28
4.2 开关规格.....	15	7.1 信号多路复用和引脚分配.....	28
4.2.1 控制时序.....	15	8 修订历史记录.....	28

1 订购器件

1.1 确定有效的可订购器件

有效可订购器件编号已发布在网络上。如要确定该可订购器件编号，敬请前往 freescale.com，并搜索下列器件编号：KEAZ128。

2 器件标识

2.1 说明

芯片的器件编号包含识别具体器件的字段。您可以使用这些字段的值来确定收到的具体器件。

2.2 格式

此设备的器件编号采用如下格式：

Q B KEA A C FFF M T PP N

2.3 字段

下表列出器件编号中每一字段的可能值（并非所有组合都有效）：

字段	说明	值
Q	资格状态	- S = 汽车认证 - P = 资格预审
B	存储器类型	9 = Flash
KEA	Kinetis 汽车系列	KEA
A	主要属性	- Z = M0+内核 - F = M4 W/ DSP & FPU - C = M4 W/ AP + FPU
C	CAN 可用性	- N = CAN 不可用 （空） = CAN 可用
FFF	程序存储器大小	128 = 128 KB
M	Maskset 修订版	- A = 首个生产版本 - B = 首个版本之后的修订版

下一页继续介绍此表...

字段	说明	值
T	温度范围(°C)	• V = -40 至 85 • V = -40 至 105 • M = -40 至 125
PP	封装标识符	• LH = 64 LQFP (10 mm x 10 mm) • LK = 80 LQFP (14 mm x 14 mm)
N	封装类型	• R = 盘卷 • (空) = 托盘

2.4 示例

下面是器件编号示例:

S9KEAZ128AMLK

3 等级

3.1 温度极限参数

符号	说明	最小值	最大值	单位	注释
T _{STG}	存储温度	-55	150	°C	1
T _{SDR}	无铅焊接温度	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。
2. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

3.2 湿度极限参数

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

1. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

3.3 ESD 极限参数

符号	说明	最小值	最大值	单位	注释
V _{HBM}	静电放电电压, 人体放电模式	-6000	+6000	V	1

下一页继续介绍此表...

符号	说明	最小值	最大值	单位	注释
V_{CDM}	静电放电电压, 设备充电模式	-500	+500	V	2
I_{LAT}	°C 环境温度下的闭锁电流	-100	+100	mA	3

1. 根据 JEDEC 标准 JESD22-A114“静电放电(ESD)灵敏度测试人体放电模式(HBM)标准”确定。
2. 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
3. 根据 JEDEC 标准 JESD78D“IC 闭锁测试”确定。测试结果如下：
 - 在 125 °C 环境温度下进行测试 (II 类)。
 - I/O 引脚通过+100/-100 mA I 测试, 且 I_{DD} 电流限制为 400 mA (V_{DD} 在正注入过程中折叠)。
 - I/O 引脚通过+50/-100 mA I 测试, 且 I_{DD} 电流限制为 1000 mA (对于 V_{DD})。
 - 电源组通过 1.5 V_{CCmax} 。
 - 由于产品调节要求, RESET_B 引脚仅经过负电流 I 测试。

3.4 电压和电路极限参数

绝对最大极限仅为应力极限, 并不保证最大值时的功能操作。超过下表中指定的应力可能影响器件的可靠性或对器件造成永久性损坏。有关功能操作条件的更多信息, 请参阅此文档中的其他表格。

该器件包含防止高静态电压或电场造成损坏的电路, 但建议采取预防措施, 以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未用输入引脚连接到适当的逻辑电压电平 (例如, V_{SS} 或 V_{DD}) 或使能相关引脚的内部上拉电阻, 可增强系统的可靠性。

表 1. 电压和电流操作极限

符号	说明	最小值	最大值	单位
V_{DD}	数字供电电压	-0.3	6.0	V
I_{DD}	流入 V_{DD} 的最大电流	—	120	mA
V_{IN}	除有效开漏引脚之外的输入电压	-0.3	$V_{\text{DD}} + 0.3^1$	V
	有效开漏引脚的输入电压	-0.3	6	V
I_{D}	单引脚瞬态最大电流限值 (适用于所有端口引脚)	-25	25	mA
V_{DDA}	模拟供电电压	$V_{\text{DD}} - 0.3$	$V_{\text{DD}} + 0.3$	V

1. 最大额定 V_{DD} 也适用于 V_{IN} 。

4 通用

4.1 非开关电气规格

4.1.1 DC 特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 2. DC 特性

符号	说明			最小值	典型值 ¹	最大值	单位
—	工作电压		—	2.7	—	5.5	V
V _{OH}	输出高电压	除 PTA2 和 PTA3 外所有 I/O 引脚，标准驱动强度	5 V, I _{load} = −5 mA	V _{DD} − 0.8	—	—	V
			3 V, I _{load} = −2.5 mA	V _{DD} − 0.8	—	—	V
		大电流驱动引脚，高驱动强度 ²	5 V, I _{load} = −20 mA	V _{DD} − 0.8	—	—	V
			3 V, I _{load} = −10 mA	V _{DD} − 0.8	—	—	V
I _{OHT}	输出高电流	所有端口的最大总输出高电流 I _{OH}	5 V	—	—	−100	mA
			3 V	—	—	−60	
V _{OL}	输出低电压	所有 I/O 引脚，标准驱动强度	5 V, I _{load} = 5 mA	—	—	0.8	V
			3 V, I _{load} = 2.5 mA	—	—	0.8	V
		大电流驱动引脚，高驱动强度 ²	5 V, I _{load} = 20 mA	—	—	0.8	V
			3 V, I _{load} = 10 mA	—	—	0.8	V
I _{OLT}	输出低电流	所有端口的最大总输出低电流 I _{OL}	5 V	—	—	100	mA
			3 V	—	—	60	
V _{IH}	输入高电压	全部数字输入	4.5 ≤ V _{DD} < 5.5 V	0.65 × V _{DD}	—	—	V
			2.7 ≤ V _{DD} < 4.5 V	0.70 × V _{DD}	—	—	
V _{IL}	输入低电压	全部数字输入	4.5 ≤ V _{DD} < 5.5 V	—	—	0.35 × V _{DD}	V
			2.7 ≤ V _{DD} < 4.5 V	—	—	0.30 × V _{DD}	
V _{hys}	输入迟滞	全部数字输入	—	0.06 × V _{DD}	—	—	mV
I _{Iin}	输入漏电流	每个引脚（高阻抗输入模式下的引脚）	V _{IN} = V _{DD} 或 V _{SS}	—	0.1	1	μA
I _{INTOT}	所有端口引脚的总漏电流	高阻抗输入模式下的引脚	V _{IN} = V _{DD} 或 V _{SS}	—	—	2	μA
R _{PU}	上拉电阻	所有数字输入并使能内部上拉（除 PTA2 和 PTA3 外的所有 I/O 引脚）	—	30.0	—	50.0	kΩ
R _{PU} ³	上拉电阻	PTA2 引脚和 PTA3 引脚	—	30.0	—	60.0	kΩ

下一页继续介绍此表...

表 2. DC 特性 (继续)

符号	说明			最小值	典型值 ¹	最大值	单位
I _{IC}	DC 注入 电流 ^{4, 5, 6}	单引脚限值	V _{IN} < V _{SS} , V _{IN} > V _{DD}	-2	—	2	mA
		总 MCU 限值, 包括所有应力引脚的总和		-5	—	25	
C _{In}	输入电容, 所有引脚		—	—	—	7	pF
V _{RAM}	RAM 保留电压		—	2.0	—	—	V

- 典型值在 25°C 时测得。经过 CZ, 没有经过测试。
- 仅 PTB4、PTB5、PTD0、PTD1、PTE0、PTE1、PTH0 及 PTH1 支持大电流输出。
- 所指电阻值是该器件的内部实际值。在引脚外部测量时, 上拉值可能更高。
- 除 PTA2 和 PTA3 外所有非电源功能引脚在内部钳制到 V_{SS} 和 V_{DD} 之间。PTA2 和 PTA3 是在内部将电压钳位为 V_{SS} 的有效开漏 I/O 引脚。
- 当前输入必须限定为指定的电流值。要确定所需限流电阻的值, 请计算正负钳位电压的电阻值, 然后采用最大值。
- 在瞬态和最大工作电流条件下, 电源必须保持在工作 V_{DD} 范围内进行调节的能力。如果正注入电流($V_{in} > V_{DD}$)高于 I_{DD} , 则注入电流可能流出 V_{DD} , 并导致外部电源失调。MCU 不消耗电能时, 如没有系统时钟, 或时钟频率极低 (这将降低整体电量消耗), 就要确保外部 V_{DD} 负载的分流电流高于最大注入电流。

表 3. LVD 和 POR 规格

符号	说明		最小值	典型值	最大值	单位
V_{POR}	POR 重置电压 ¹		1.5	1.75	2.0	V
V_{LVDH}	下降沿低压检测阈值 — 高量程 (LVDV = 1) ²		4.2	4.3	4.4	V
V_{LVW1H}	下降沿低压警告阈值 — 高量程	1 级压降 (LVWV = 00)	4.3	4.4	4.5	V
V_{LVW2H}		2 级压降 (LVWV=01)	4.5	4.5	4.6	V
V_{LVW3H}		3 级压降 (LVWV=10)	4.6	4.6	4.7	V
V_{LVW4H}		4 级压降 (LVWV=11)	4.7	4.7	4.8	V
V_{HYSH}	高量程低压检测/警告迟滞		—	100	—	mV
V_{LVDL}	下降沿低压检测阈值 — 低量程 (LVDV = 0)		2.56	2.61	2.66	V
V_{LVW1L}	下降沿低压警告阈值 — 低量程	1 级压降 (LVWV = 00)	2.62	2.7	2.78	V
V_{LVW2L}		2 级压降 (LVWV=01)	2.72	2.8	2.88	V
V_{LVW3L}		3 级压降 (LVWV=10)	2.82	2.9	2.98	V
V_{LVW4L}		4 级压降 (LVWV=11)	2.92	3.0	3.08	V
V_{HYSDL}	低量程低压检测迟滞		—	40	—	mV
V_{HYSWL}	低量程低压警告迟滞		—	80	—	mV
V_{BG}	经过缓冲的带隙输出 ³		1.14	1.16	1.18	V

- 最大值是 POR 可以保证的最高电压值。
- 上升沿阈值 = 下降沿阈值 + 迟滞电压

3. 电压已在 $V_{DD} = 5.0\text{ V}$, $\text{Temp} = 125\text{ }^{\circ}\text{C}$ 下进行出厂调整

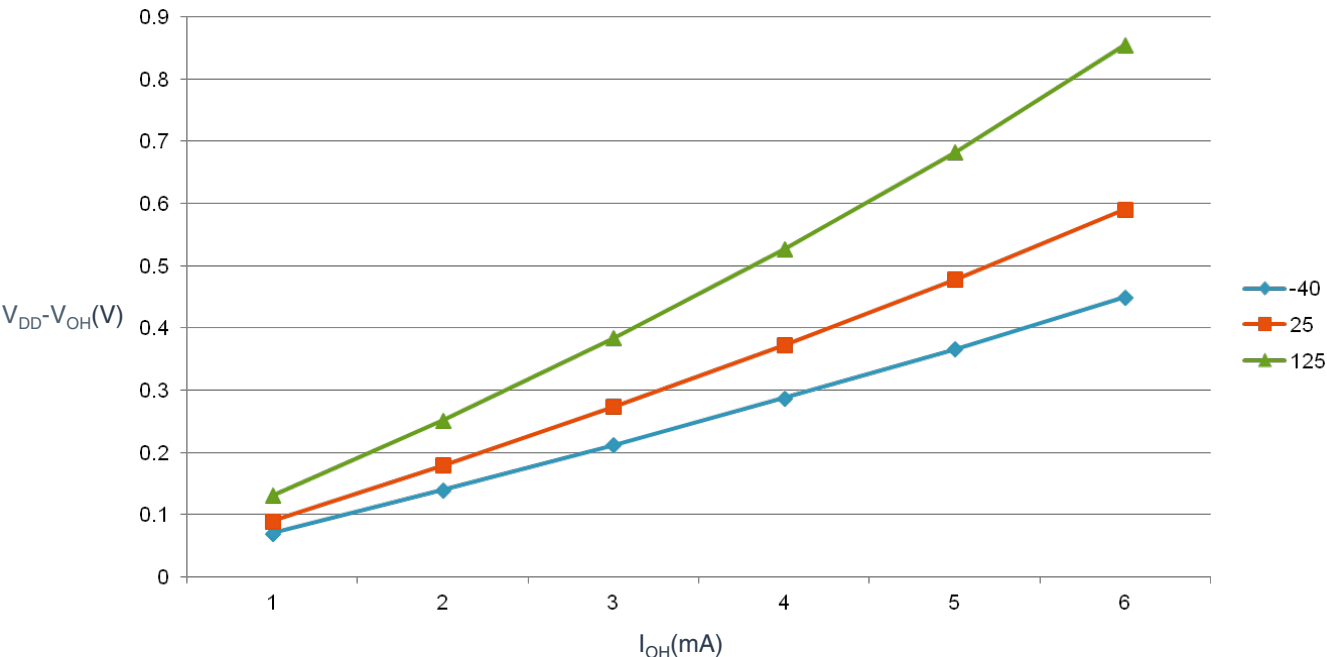


图 1. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (标准驱动强度) ($V_{DD} = 5\text{ V}$)

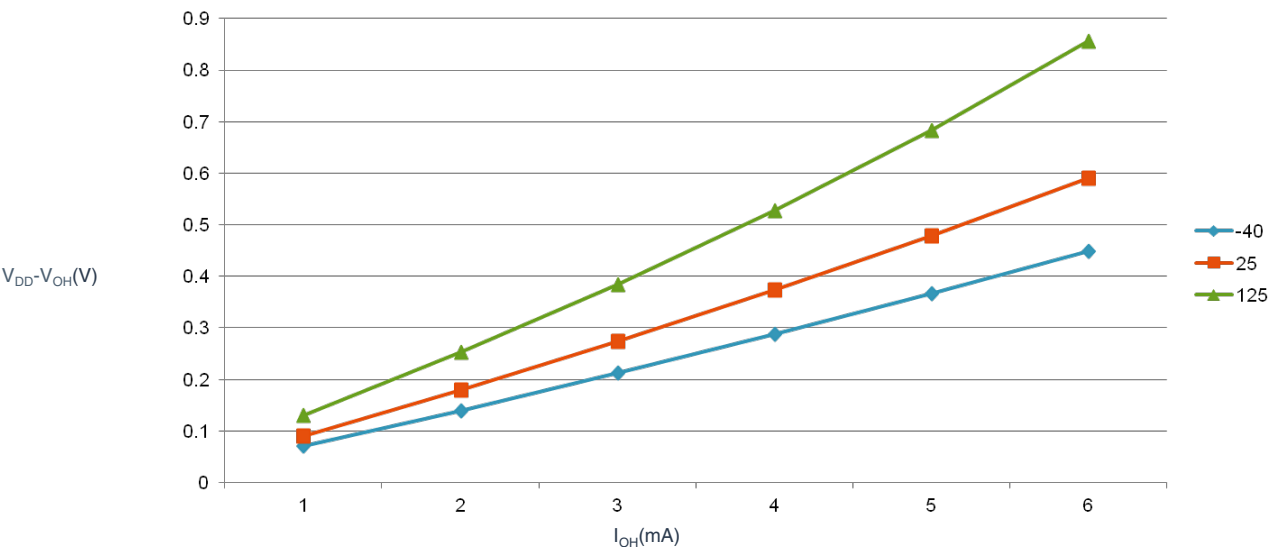


图 2. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (标准驱动强度) ($V_{DD} = 3\text{ V}$)

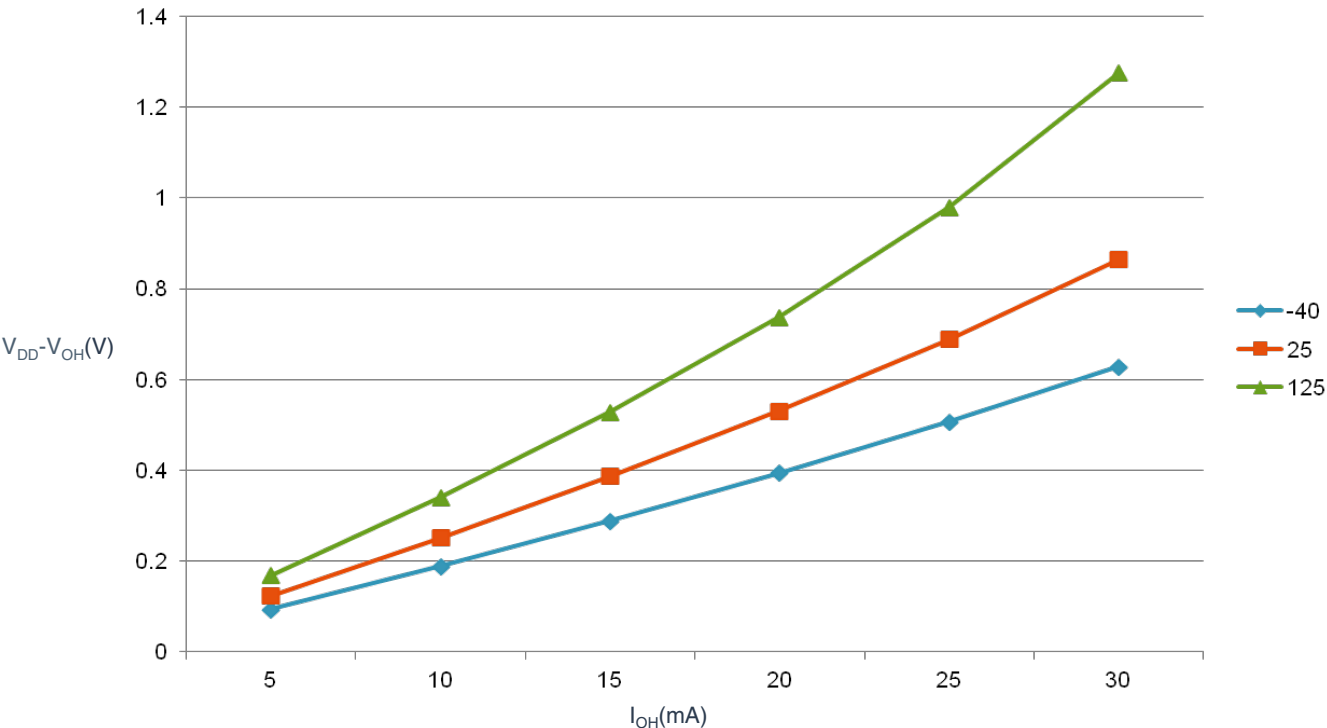


图 3. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (高驱动强度) ($V_{DD} = 5V$)

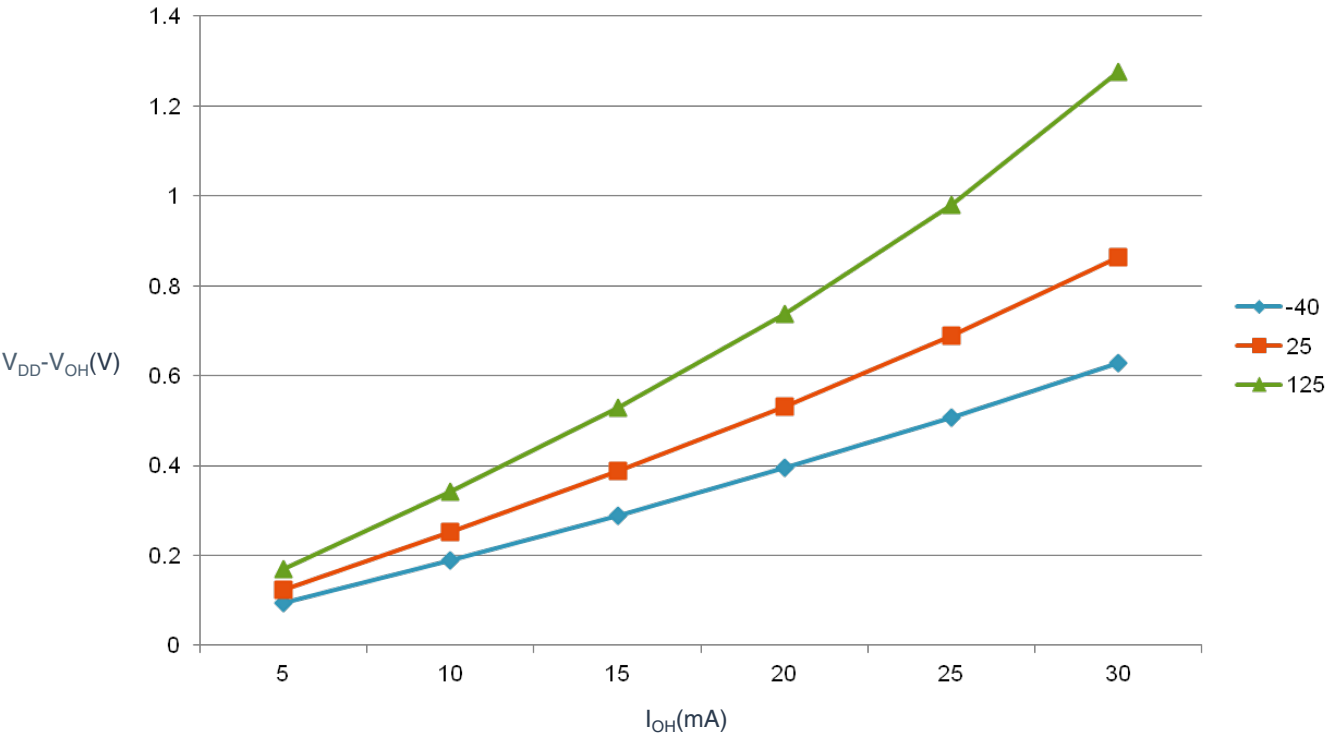


图 4. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (高驱动强度) ($V_{DD} = 3V$)

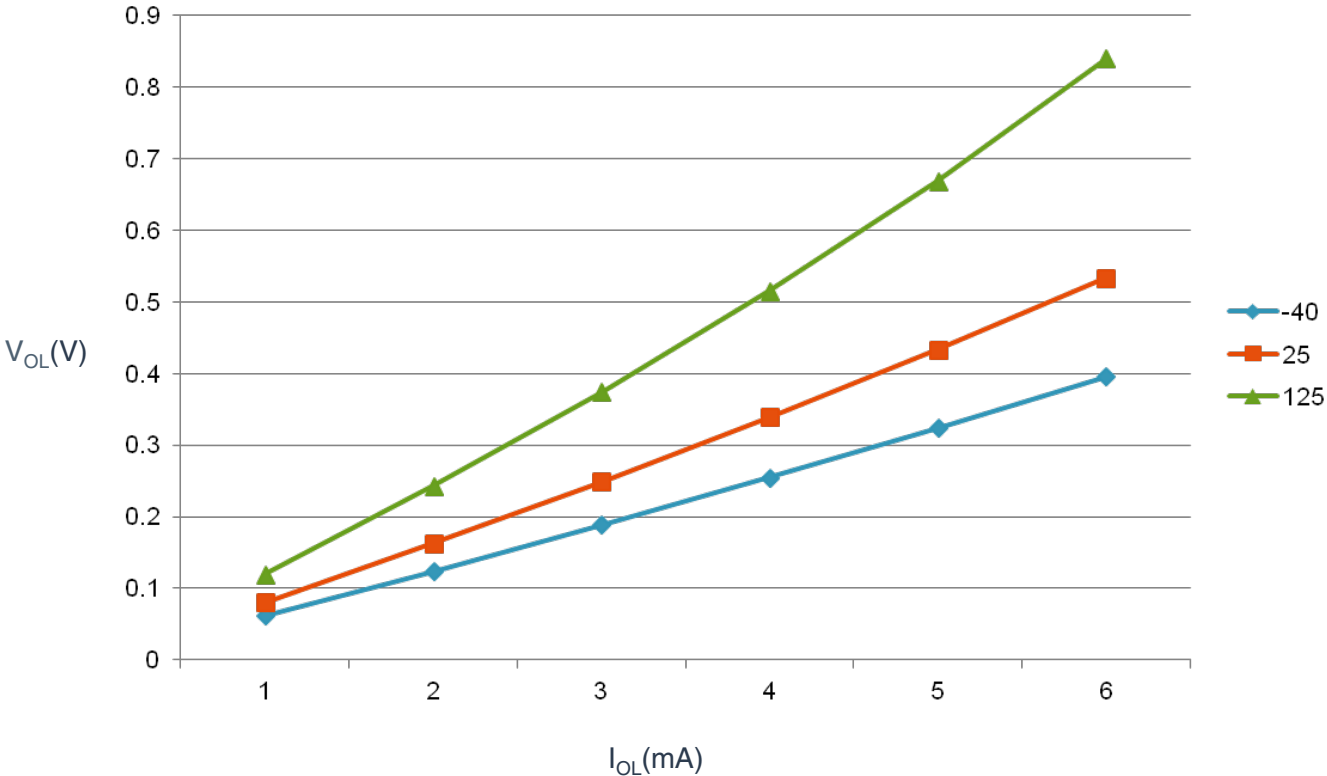


图 5. 典型 V_{OL} 对比 I_{OL} (标准驱动强度) ($V_{DD} = 5\text{ V}$)

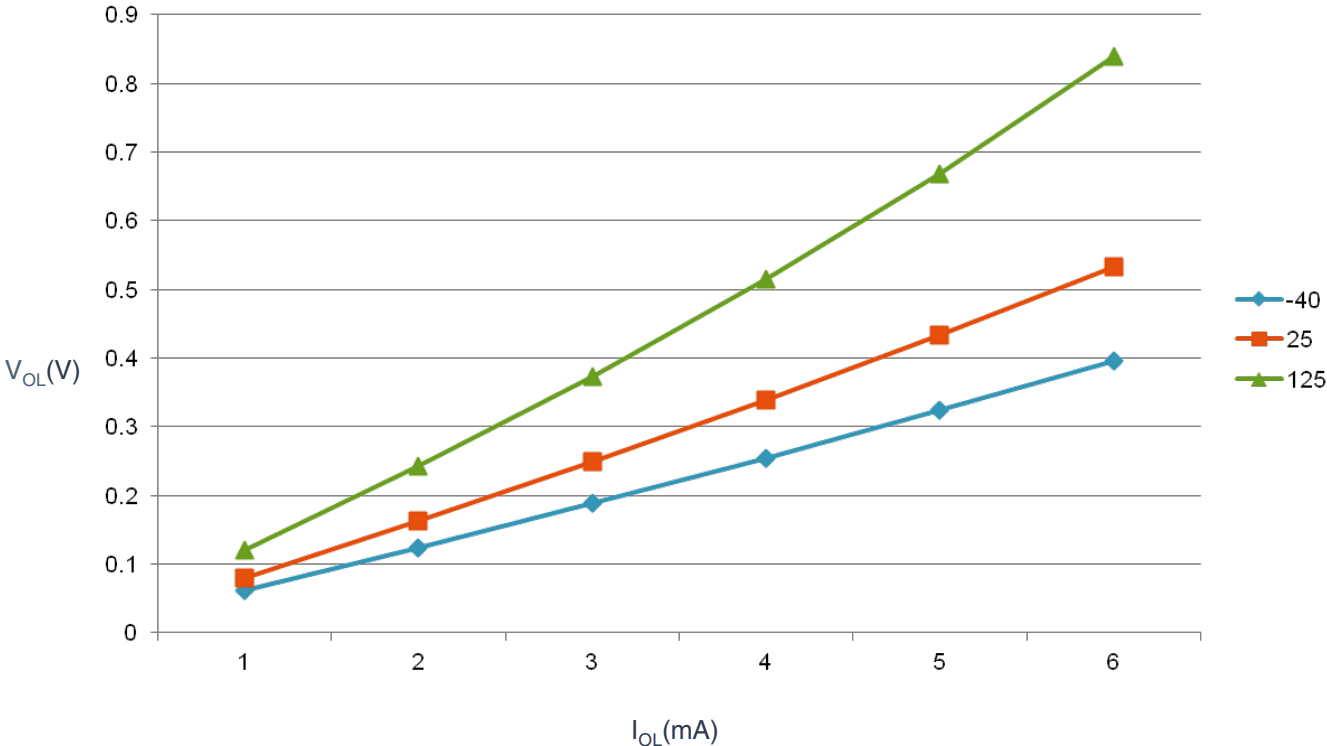


图 6. 典型 V_{OL} 对比 I_{OL} (标准驱动强度) ($V_{DD} = 3\text{ V}$)

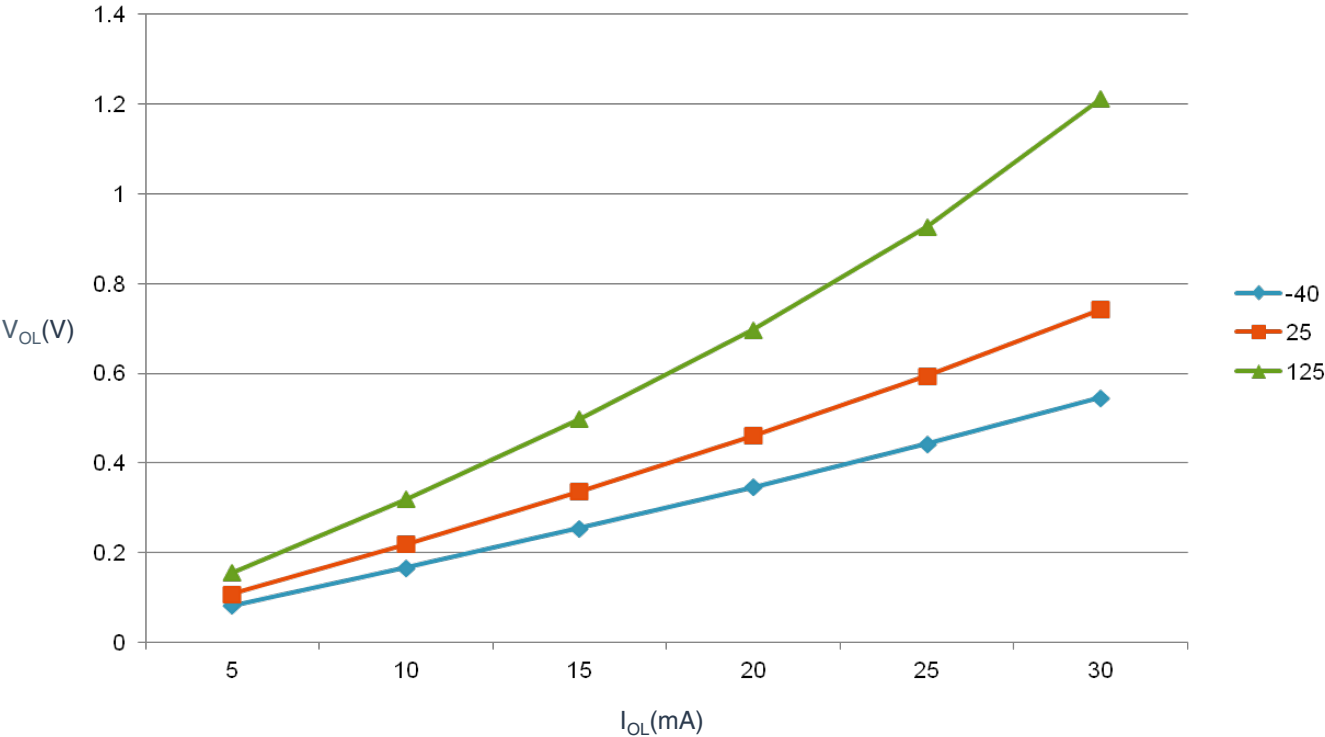


图 7. 典型 V_{OL} 对比 I_{OL} (高驱动强度) ($V_{DD} = 5\text{ V}$)

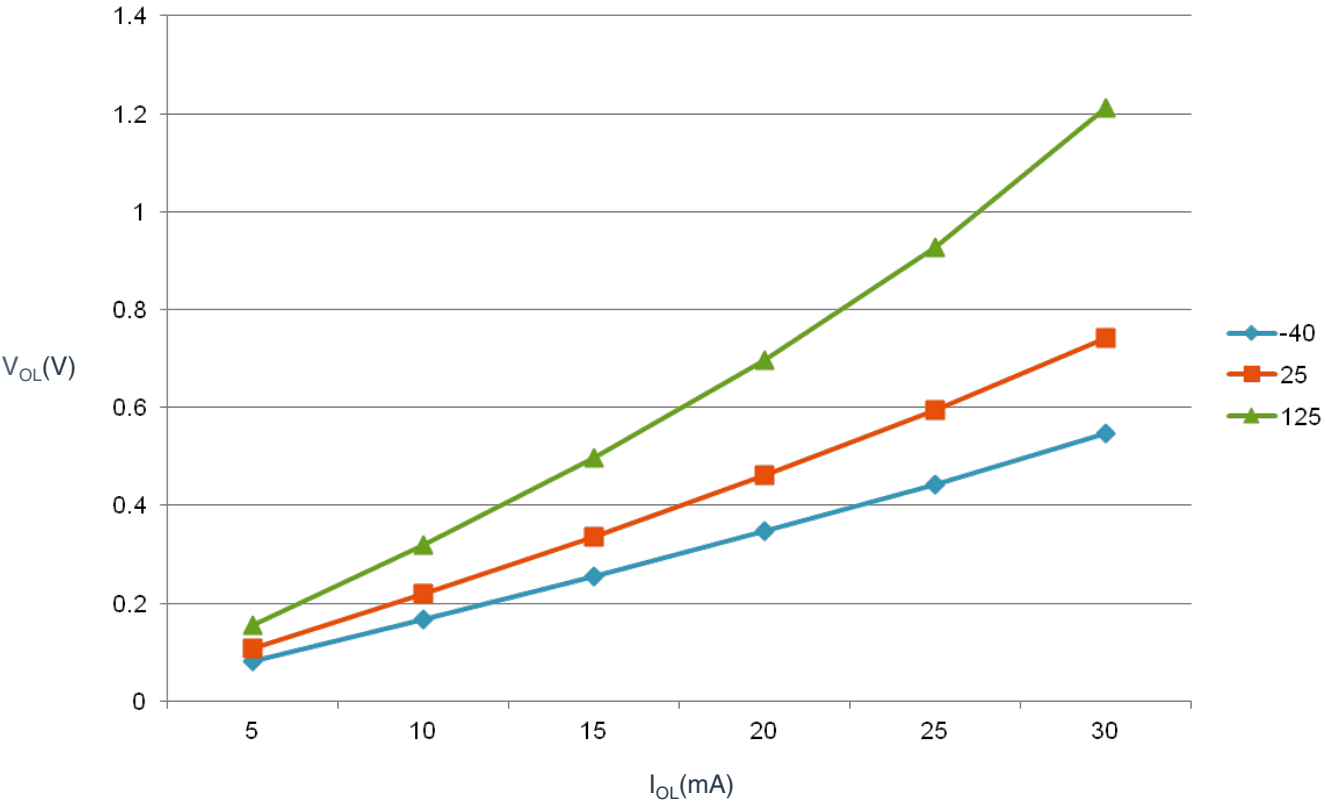


图 8. 典型 V_{OL} 对比 I_{OL} (高驱动强度) ($V_{DD} = 3\text{ V}$)

4.1.2 供电电流特性

本节包括多种操作模式下供电电流的信息。

表 4. 供电电流特性

参数	符号	内核/总线频率	V _{DD} (V)	典型值 ¹	最大值	单位	温度
FEI 模式下运行电流值, 使能所有模块时钟; 从 Flash 运行	R _I DD	48/24 MHz	5	11.1	—	mA	-40 至 125 °C
		24/24 MHz		8	—		
		12/12 MHz		5	—		
		1/1 MHz		2.4	—		
		48/24 MHz	3	11	—		
		24/24 MHz		7.9	—		
		12/12 MHz		4.9	—		
		1/1 MHz		2.3	—		
FEI 模式下运行电流值, 禁用并门控所有模块时钟; 从 Flash 运行	R _I DD	48/24 MHz	5	7.8	—	mA	-40 至 125 °C
		24/24 MHz		5.5	—		
		12/12 MHz		3.8	—		
		1/1 MHz		2.3	—		
		48/24 MHz	3	7.7	—		
		24/24 MHz		5.4	—		
		12/12 MHz		3.7	—		
		1/1 MHz		2.2	—		
FBE 模式下运行电流值, 使能所有模块时钟; 从 RAM 运行	R _I DD	48/24 MHz	5	14.7	—	mA	-40 至 125 °C
		24/24 MHz		9.8	14.9 ²		
		12/12 MHz		6	—		
		1/1 MHz		2.4	—		
		48/24 MHz	3	14.6	—		
		24/24 MHz		9.6	12.8 ²		
		12/12 MHz		5.9	—		
		1/1 MHz		2.3	—		
FBE 模式下运行电流值, 禁用并门控所有模块时钟; 从 RAM 运行	R _I DD	48/24 MHz	5	11.4	—	mA	-40 至 125 °C
		24/24 MHz		7.7	12.5 ²		
		12/12 MHz		4.7	—		
		1/1 MHz		2.3	—		
		48/24 MHz	3	11.3	—		
		24/24 MHz		7.6	9.5 ²		
		12/12 MHz		4.6	—		
		1/1 MHz		2.2	—		
FEI 模式等待电流值, 使能所有模块时钟	W _I DD	48/24 MHz	5	8.4	—	mA	-40 至 125 °C
		24/24 MHz		6.5	7.2 ²		

下一页继续介绍此表...

表 4. 供电电流特性 (继续)

参数	符号	内核/总线频率	V _{DD} (V)	典型值 ¹	最大值	单位	温度
		12/12 MHz		4.3	—		
		1/1 MHz		2.4	—		
		48/24 MHz	3	8.3	—		
		24/24 MHz		6.4	7.1 ²		
		12/12 MHz		4.2	—		
		1/1 MHz		2.3	—		
Stop 模式电流, 无时钟激活 (除 1 kHz LPO 时钟) ³	I _{DD}	—	5	2	170 ²	μA	-40 至 125 °C
		—	3	1.9	160 ²		-40 至 125 °C
ADC 使能下的 Stop 模式电流 ADLPC = 1 ADLSMP = 1 ADCO = 1 MODE = 10B ADICLK = 11B	—	—	5	86	—	μA	-40 至 125 °C
			3	82	—		
ACMP 使能下的 Stop 模式电流	—	—	5	12	—	μA	-40 至 125 °C
			3	12	—		
LVD 使能下的 Stop 模式电流 ⁴	—	—	5	130	—	μA	-40 至 125 °C
			3	125	—		

1. 典型列里的数据在 5.0 V、25 °C 条件下统计值或是推荐值。
2. 在高温下可观察到最大电流。
3. 典型情况下, RTC 会导致 I_{DD} 增加不超过 1 μA; RTC 时钟源为 1 kHz LPO 时钟。
4. 以 5% 占空比定期将 LVD 从 Stop 状态唤醒。周期等于或短于 2 ms。

4.1.3 EMC 性能

电磁兼容(EMC)性能很大程度上取决于 MCU 所处的环境。外部组件的电路板设计和布局、电路拓扑选择、位置和特性以及 MCU 软件操作在 EMC 性能中起重要作用。系统设计者必须参考下列飞思卡尔应用文档, 可在下述网站: freescale.com 获得专门针对优化 EMC 性能的意见和指导。

- AN2321: 电路板级电磁兼容设计
- AN1050: HCMOS 微控制器的电磁兼容(EMC)设计
- AN1263: 单片微控制器的电磁兼容设计
- AN2764: 改善基于微控制器的应用的瞬态抗干扰性能
- AN1259: 基于 MCU 系统中降噪的系统设计和布局技术

4.2 开关规格

4.2.1 控制时序

表 5. 控制时序

编号	极限		符号	最小值	典型值 ¹	最大值	单位
1	系统和内核时钟		f_{Sys}	DC	—	48	MHz
2	总线频率 ($t_{\text{cyc}} = 1/f_{\text{Bus}}$)		f_{Bus}	DC	—	24	MHz
3	内部低功耗振荡器频率		f_{LPO}	0.67	1.0	1.25	KHz
4	外部复位脉冲宽度 ²		t_{extrst}	$1.5 \times t_{\text{cyc}}$	—	—	ns
5	复位低驱动		t_{rstdrv}	$34 \times t_{\text{cyc}}$	—	—	ns
6	IRQ 脉冲宽度	异步路径 ²	t_{LIH}	100	—	—	ns
		同步路径 ³	t_{IHIL}	$1.5 \times t_{\text{cyc}}$	—	—	ns
7	键盘中断脉冲宽度	异步路径 ²	t_{LIH}	100	—	—	ns
		同步路径	t_{IHIL}	$1.5 \times t_{\text{cyc}}$	—	—	ns
8	端口上升和下降时间 — 标准驱动强度 (负载 = 50 pF) ⁴	—	t_{Rise}	—	10.2	—	ns
			t_{Fall}	—	9.5	—	ns
	端口上升和下降时间 — 高驱动强度 (负载 = 50 pF) ⁴	—	t_{Rise}	—	5.4	—	ns
			t_{Fall}	—	4.6	—	ns

- 除非另有说明，否则典型值是指在 $V_{\text{DD}} = 5.0 \text{ V}$ 、 25°C 时的特性数据。
- 这是保证可识别为 RESET 引脚请求的最短脉冲。
- 这是保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别。在 Stop 模式中将避开同步器，所以可识别更短的脉冲。
- 时序按 20% 的 V_{DD} 电平和 80% 的 V_{DD} 电平显示。温度范围 -40°C 至 125°C 。

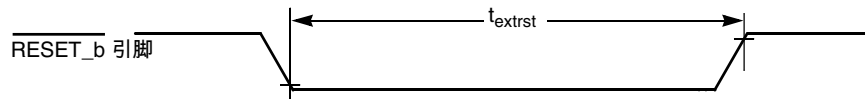


图 9. 复位时序

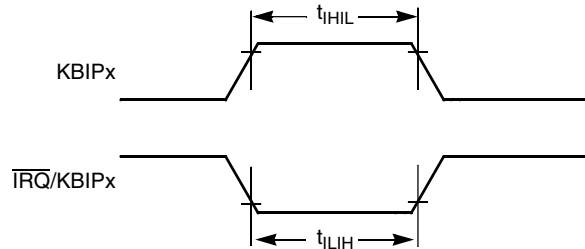


图 10. KBIPx 时序

4.2.2 FTM 模块时序

同步电路决定可识别的最短输入脉冲或决定定时器计数器可配置的外部时钟源的最快时钟。这些同步电路的工作时钟是总线时钟。

表 6. FTM 输入时序

功能	符号	最小值	最大值	单位
定时器时钟频率	f_{Timer}	f_{Bus}	f_{Sys}	Hz
外部时钟频率	f_{TCLK}	0	$f_{\text{Timer}}/4$	Hz
外部时钟周期	t_{TCLK}	4	—	t_{cyc}
外部时钟高电平时间	t_{clkh}	1.5	—	t_{cyc}
外部时钟低电平时间	t_{clkl}	1.5	—	t_{cyc}
输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{cyc}

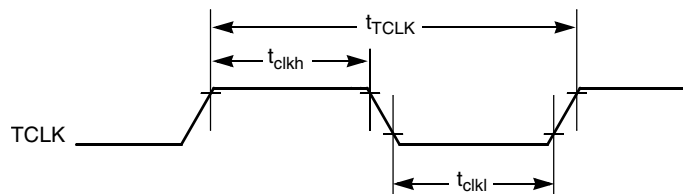


图 11. 定时器外部时钟

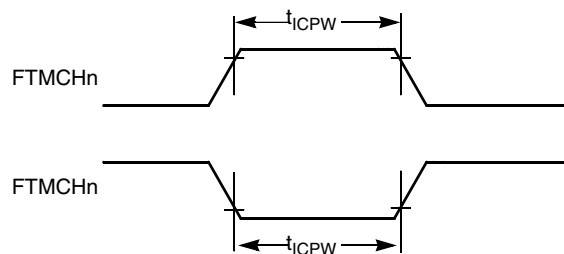


图 12. 定时器输入捕捉脉冲

4.3 热规格

4.3.1 热特性

本节介绍有关工作温度范围、功耗和封装热阻的信息。I/O 引脚上的功耗通常比片上逻辑和电压调节器电路中的功耗少，且它由用户决定而并非由 MCU 设计控制。要在功率计算中考虑 $P_{\text{I/O}}$ ，需要确定实际引脚电压和 V_{SS} 或 V_{DD} 之间的电压差并乘以每个 I/O 引脚的引脚电流。除异常高引脚电流（高负载）外，引脚电压和 V_{SS} 或 V_{DD} 之间的压差将会很小。

表 7. 热学属性

板类型	符号	说明	64 LQFP	80 LQFP	单位	注释
单层(1S)	$R_{\theta JA}$	热阻, 连接到外部环境 (自然对流)	71	57	°C/W	¹ , ²
四层(2s2p)	$R_{\theta JA}$	热阻, 连接到外部环境 (自然对流)	53	44	°C/W	¹ , ³
单层(1S)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	59	47	°C/W	¹ , ³
四层(2s2p)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	46	38	°C/W	¹ , ³
—	$R_{\theta JB}$	热阻, 连接到板	35	28	°C/W	⁴
—	$R_{\theta JC}$	热阻, 连接到管壳	20	15	°C/W	⁵
—	Ψ_{JT}	热特性参数, 连接到外封装顶部中心 (自然对流)	5	3	°C/W	⁶

1. 结温是裸片大小、片上功耗、封装热阻、安装环境 (板) 温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
2. 基于 JEDEC JESD51-2 标准, 在单层板(JESD51-3)水平方向。
3. 基于 JEDEC JESD51-6 标准, 在电路板(JESD51-7)水平方向。
4. 裸片和印刷电路板上的热阻, 基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。
5. 裸片和封装底部焊盘之间的热阻。忽略接触热阻。
6. 基于 JEDEC JESD51-2 标准, 热特性参数表示封装顶部和结温之间的温差。未提供希腊字母时的热特性。

可通过以下公式计算平均芯片结温 (T_J) (以 °C 为单位):

$$T_J = T_A + (P_D \times \theta_{JA})$$

其中:

T_A = 环境温度, 以°C 为单位

θ_{JA} = 封装热阻, 连接到环境, 以°C/W 为单位

$$P_D = P_{int} + P_{I/O}$$

$P_{int} = I_{DD} \times V_{DD}$, 以瓦特为单位 — 芯片内部功率

$P_{I/O}$ = 输入和输出引脚上的功耗 — 由用户决定

对于大多数应用, $P_{I/O} \ll P_{int}$, 且可以忽略。 P_D 和 T_J (如果忽略 $P_{I/O}$) 之间的近似关系是:

$$P_D = K \div (T_J + 273 \text{ °C})$$

求解以上等式中的 K:

$$K = P_D \times (T_A + 273 \text{ °C}) + \theta_{JA} \times (P_D)^2$$

其中 K 是特定部分的常数。通过测量已知 T_A 的 P_D (处于均衡状态) 来确定 K。使用此 K 值, 可通过以上公式迭代求解任何 T_A 值来获得 P_D 和 T_J 值。

5 外设工作要求与特性

5.1 内核模块

5.1.1 SWD 电气特性

表 8. SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	2.7	5.5	V
J1	SWD_CLK 工作频率 串行线调试	0	24	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉宽 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	SWD_DIO SWD_CLK 上升前的输入数据建立时间	10	—	ns
J10	SWD_DIO SWD_CLK 上升后的输入数据保持时间	3	—	ns
J11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	35	ns
J12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

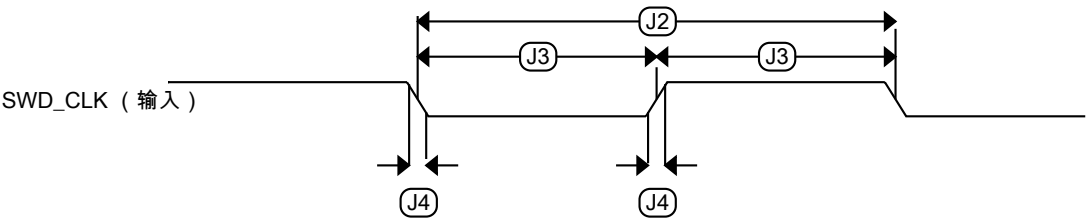


图 13. 串行线时钟输入时序

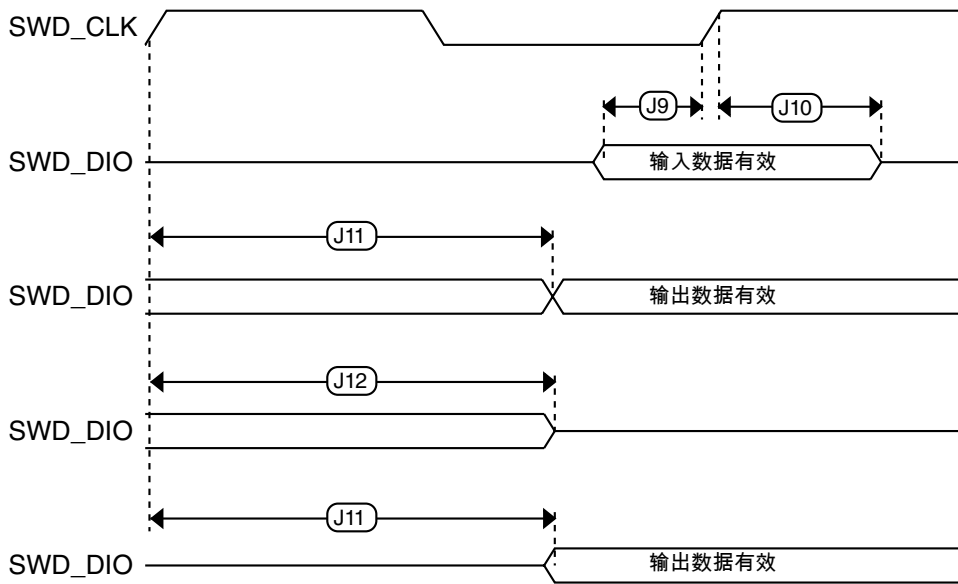


图 14. 串行线数据时序

5.2 外部振荡器(OSC)和 ICS 特性

表 9. OSC 和 ICS 规格（环境温度范围 = -40 到 125 °C）

编号	特性		符号	最小值	典型值 ¹	最大值	单位
1	晶振或谐振器频率	低频范围(RANGE = 0)	f_{lo}	31.25	32.768	39.0625	kHz
		高频范围(RANGE = 1)	f_{hi}	4	—	24	MHz
2	负载电容		C1、C2	参见注释 ²			
3	反馈电阻	低频率、低功耗模式 ³	R_F	—	—	—	MΩ
		低频率、高增益模式		—	10	—	MΩ
		高频率、低功耗模式		—	1	—	MΩ
		高频率、高增益模式		—	1	—	MΩ
4	串联电阻 - 低频率	低功耗模式 ³	R_S	—	0	—	kΩ
		高增益模式		—	200	—	kΩ
5	串联电阻 — 高频	低功耗模式 ³	R_S	—	0	—	kΩ
	串联电阻 — 高频、高增益模式	4 MHz		—	0	—	kΩ
		8 MHz		—	0	—	kΩ
		16 MHz		—	0	—	kΩ

下一页继续介绍此表...

表 9. OSC 和 ICS 规格（环境温度范围 = -40 到 125 °C）（继续）

编号	特性	符号	最小值	典型值 ¹	最大值	单位
6	晶振启动时间 低频范围 = 32.768 kHz 晶振； 高频范围 = 20 MHz 晶振 ^{4,5}	t_{CSTL}	—	1000	—	ms
			—	800	—	ms
		t_{CSTH}	—	3	—	ms
			—	1.5	—	ms
7	内部参考启动时间	t_{IRST}	—	20	50	μs
8	内部基准时钟(IRC)频率调整范围	$f_{\text{int_t}}$	31.25	—	39.0625	kHz
9	内部基准时钟频率，出厂已调整	$f_{\text{int_ft}}$	—	37.5	—	kHz
10	DCO 输出频率范围	f_{dco}	40	—	50	MHz
11	出厂已调整的 内部振荡器精度	$\Delta f_{\text{int_ft}}$	-0.8	—	0.8	%
12	在 $T = 25\text{ }^{\circ}\text{C}$ 、 $V_{\text{DD}} = 5\text{ V}$ 的条件下 调整时，IRC 随温度 变化产生的偏差	$\Delta f_{\text{int_t}}$	-1	—	0.8	%
13	采用出厂调整值的 DCO 输出频率 精度	$\Delta f_{\text{dco_ft}}$	-2.3	—	0.8	%
14	FLL 采集时间 ^{4, 6}	t_{Acquire}	—	—	2	ms
15	DCO 输出时钟长期抖动（平均间隔超过 2 ms） ⁷	C_{Jitter}	—	0.02	0.2	% f_{dco}

- 典型列里的数据是在 5.0 V、25 °C 条件下的统计值或是推荐值。
- 参见晶振或谐振器制造商的建议。
- 当 $\text{RANGE} = \text{HGO} = 0$ 时，负载电容 (C_1 、 C_2)、反馈电阻(R_F)和串联电阻(R_S)将内部合并。
- 此参数为典型数据，并未在每个器件上进行测试。
- 为了达到规格要求，务必遵循正确的 PCB 布局流程。
- 在任何时候都适用于以下条件：当 FLL 参考源或参考分频器改变时；调整值改变时；或从“禁用 FLL”(FBELP、FBILP)变为“启用 FLL”(FEI、FEE、FBE、FBI)时。当晶振/谐振器用作参考时钟源时，此规格假定其已运行。
- 抖动是在最大 f_{Bus} 下指定间隔内与已编程频率的平均偏差。测量时使用带滤波的外部电源和稳定的外部时钟。噪声通过 V_{DD} 与 V_{SS} 注入 FLL 电路，并且晶体振荡器频率的变化增加了给定间隔内 C_{Jitter} 的百分比。

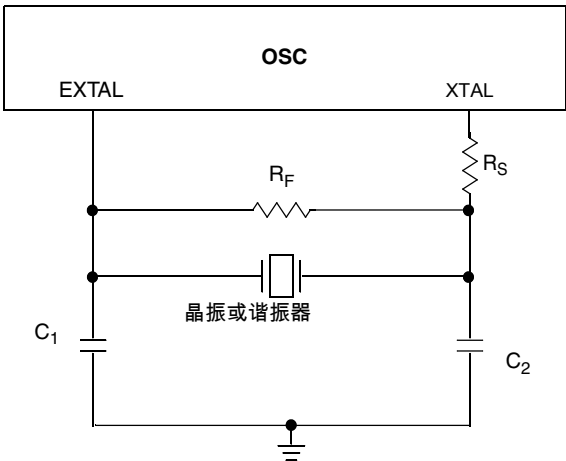


图 15. 典型晶振或谐振器电路

5.3 NVM 规格

本节详细介绍了 Flash 存储器的编程/擦除时间和编程/擦除次数。

表 10. Flash 特性

特性	符号	最小值 ¹	典型值 ²	最大值 ³	单位 ⁴
-40 °C 到 125 °C 下编程/擦除的供电电压	$V_{\text{prog/erase}}$	2.7	—	5.5	V
读取操作的供电电压	V_{Read}	2.7	—	5.5	V
NVM 总线频率	f_{NVMBUS}	1	—	24	MHz
NVM 工作频率	f_{NVMOP}	0.8	1	1.05	MHz
擦除检验所有数据块	t_{VFYALL}	—	—	2605	t_{cyc}
擦除检验 Flash 块	t_{RD1BLK}	—	—	2579	t_{cyc}
擦除检验 Flash 区段	t_{RD1SEC}	—	—	485	t_{cyc}
一次读取	t_{RDONCE}	—	—	464	t_{cyc}
编程 Flash (2 个字)	t_{PGM2}	0.12	0.13	0.31	ms
编程 Flash (4 个字)	t_{PGM4}	0.21	0.21	0.49	ms
一次性编程	t_{PGMONCE}	0.20	0.21	0.21	ms
擦除所有块	t_{ERSALL}	95.42	100.18	100.30	ms
擦除 Flash 块	t_{ERSBLK}	95.42	100.18	100.30	ms
擦除 Flash 扇区	t_{ERSPG}	19.10	20.05	20.09	ms
将 Flash 解密	t_{UNSECU}	95.42	100.19	100.31	ms
验证后门访问密钥	t_{VFYKEY}	—	—	482	t_{cyc}
设置用户裕量级别	t_{MLOADU}	—	—	415	t_{cyc}
FLASH 编程/擦除次数 T_L 至 $T_H = -40\text{ °C}$ 到 125 °C	n_{FLPE}	10 k	100 k	—	周期
平均结温为 $T_{\text{Javg}} = 85\text{ °C}$ 下高达 10,000 编程/擦除周期后数据保留周期	$t_{\text{D_ret}}$	15	100	—	年

1. 最短时间基于最大 f_{NVMOP} 和最大 f_{NVMBUS}
2. 典型时间基于典型 f_{NVMOP} 和最大 f_{NVMBUS}
3. 最大时间基于典型 f_{NVMOP} 和典型 f_{NVMBUS} ，并考虑老化
4. $t_{\text{cyc}} = 1 / f_{\text{NVMBUS}}$

编程和擦除操作不需要除标准 V_{DD} 电源之外的任何特殊电源。有关编程/擦除操作的更多详细信息，请参见参考手册中的“Flash 存储器模块”一节。

5.4 模拟

5.4.1 ADC 特性

表 11. 5 V 12 位 ADC 工作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
基准电位	- 低 - 高	V_{REFL}	V_{SSA}	—	$V_{DDA}/2$	V	—
		V_{REFH}	$V_{DDA}/2$	—	V_{DDA}		
供电电压	绝对值	V_{DDA}	2.7	—	5.5	V	—
	V_{DD} 的差值 ($V_{DD}-V_{DDA}$)	ΔV_{DDA}	-100	0	+100	mV	—
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	—
输入电容		C_{ADIN}	—	4.5	5.5	pF	—
输入电阻		R_{ADIN}	—	3	5	k Ω	—
模拟源电阻	12 位模式	R_{AS}	—	—	2	k Ω	外部到 MCU
	$f_{ADCK} > 4 \text{ MHz}$ $f_{ADCK} < 4 \text{ MHz}$		—	—	5		
	10 位模式		—	—	5		
	$f_{ADCK} > 4 \text{ MHz}$ $f_{ADCK} < 4 \text{ MHz}$		—	—	10		
	8 位模式		—	—	10		
	对于所有的 f_{ADCK} 都有效						
ADC 转换时钟频率	高速(ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	—
	低功耗(ADLPC=1)		0.4	—	4.0		

1. 除非另有说明，否则典型值假定 $V_{DDA} = 5.0\text{ V}$ ，温度 = 25°C ， $f_{ADCK} = 1.0\text{ MHz}$ 。典型值仅供参考，并未在生产中进行测试。

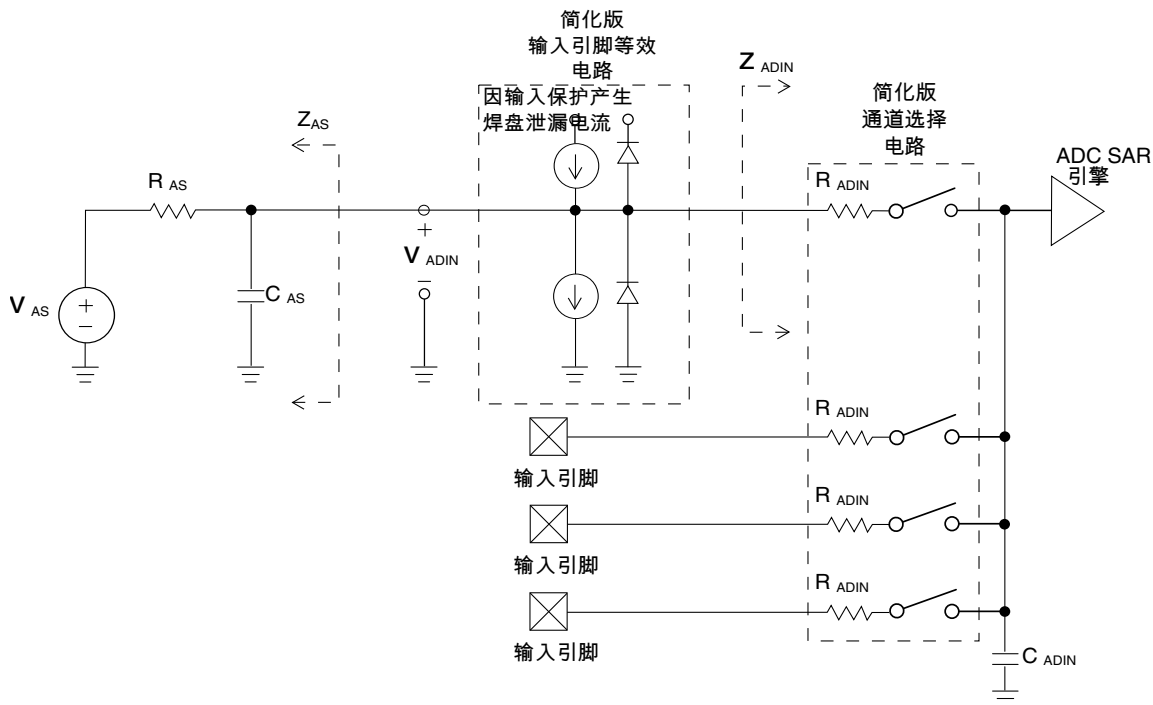


图 16. ADC 输入阻抗等效图

表 12. 12 位 ADC 特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

特性	条件	符号	最小值	典型值 ¹	最大值	单位
供电电流 ADLPC = 1 ADLSMP = 1 ADCO = 1		I_{DDA}	—	133	—	μA
供电电流 ADLPC = 1 ADLSMP = 0 ADCO = 1		I_{DDA}	—	218	—	μA
供电电流 ADLPC = 0 ADLSMP = 1 ADCO = 1		I_{DDA}	—	327	—	μA
供电电流 ADLPC = 0 ADLSMP = 0 ADCO = 1		I_{DDA}	—	582	990	μA
供电电流	停止、复位、模块关闭	I_{DDA}	—	0.011	1	μA
ADC 异步时钟源	高速(ADLPC = 0)	f_{ADACK}	2	3.3	5	MHz
	低功耗(ADLPC = 1)		1.25	2	3.3	
转换时间 (包括采样时间)	短样(ADLSMP = 0)	t_{ADC}	—	20	—	ADCK 周期
	长样(ADLSMP = 1)		—	40	—	
采样时间	短样(ADLSMP = 0)	t_{ADS}	—	3.5	—	ADCK 周期
	长样(ADLSMP = 1)		—	23.5	—	
未调整总误差 ²	12 位模式	E_{TUE}	—	± 5.0	—	LSB ³
	10 位模式		—	± 1.5	—	
	8 位模式		—	± 0.8	—	
差分非线性	12 位模式	DNL	—	± 1.5	—	LSB ³
	10 位模式		—	± 0.4	—	
	8 位模式		—	± 0.15	—	
积分非线性	12 位模式	INL	—	± 1.5	—	LSB ³
	10 位模式		—	± 0.4	—	
	8 位模式		—	± 0.15	—	
零量程误差 ⁴	12 位模式	E_{ZS}	—	± 1.0	—	LSB ³
	10 位模式		—	± 0.2	—	
	8 位模式		—	± 0.35	—	
满量程误差 ⁵	12 位模式	E_{FS}	—	± 2.5	—	LSB ³
	10 位模式		—	± 0.3	—	
	8 位模式		—	± 0.25	—	
量化误差	≤ 12 位模式	E_Q	—	—	± 0.5	LSB ³

下一页继续介绍此表...

表 12. 12 位 ADC 特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

特性	条件	符号	最小值	典型值 ¹	最大值	单位
输入泄漏误差 ⁶	所有模式	E_{IL}	$I_{in} \times R_{AS}$			mV
温度传感器斜率	-40 °C–25 °C	m	—	3.266	—	mV/°C
	25 °C–125 °C		—	3.638	—	
温度传感器电压	25 °C	V_{TEMP25}	—	1.396	—	V

1. 除非另有说明，否则典型值假定 $V_{DDA} = 5.0$ V，温度 = 25 °C， $f_{ADCK} = 1.0$ MHz。典型值仅供参考，并未在生产中进行测试。
2. 包括量化
3. $1 \text{ LSB} = (V_{REFH} - V_{REFL})/2^N$
4. $V_{ADIN} = V_{SSA}$
5. $V_{ADIN} = V_{DDA}$
6. I_{in} = 漏电流 (参考直流特性)

5.4.2 模拟比较器(ACMP)电气规格

表 13. 比较器电气规格

特性	符号	最小值	典型值	最大值	单位
供电电压	V_{DDA}	2.7	—	5.5	V
供电电流 (工作模式)	I_{DDA}	—	10	20	μA
模拟输入电压	V_{AIN}	$V_{SS} - 0.3$	—	V_{DDA}	V
模拟输入偏移电压	V_{AIO}	—	—	40	mV
模拟比较器迟滞(HYST=0)	V_H	—	15	20	mV
模拟比较器迟滞(HYST=1)	V_H	—	20	30	mV
供电电流 (关闭模式)	I_{DDAOFF}	—	60	—	nA
传播延迟	t_D	—	0.4	1	μs

5.5 通信接口

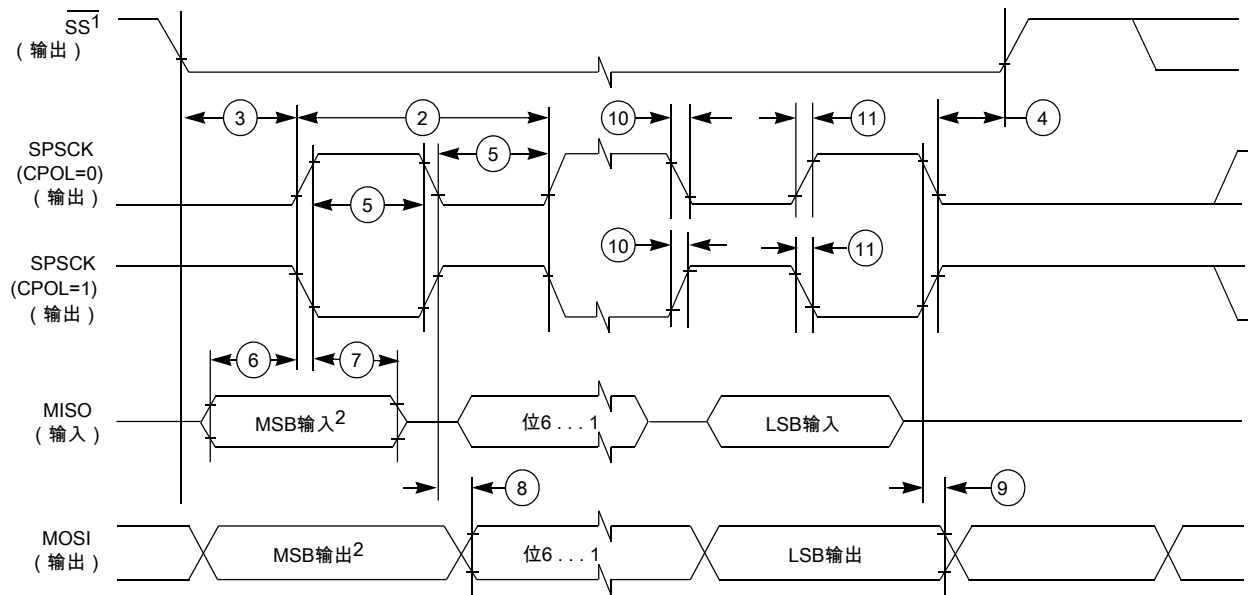
5.5.1 SPI 开关规格

串行外设接口(SPI)可为主从操作提供同步串行总线。SPI 的很多传输性质可以通过软件配置。下面各表将介绍经典 SPI 时序模式的时序特性。有关修正传输格式的信息，请参见本芯片“参考手册”中的 SPI 一章。这些格式主要用于和速度较慢的外围

设备通信。如无特殊说明,表中所有时序采用的电压阈值均为 20%的 V_{DD} 和 80%的 V_{DD} , 所有 SPI 引脚挂有 25 pF 的负载。所有如下时序都在禁止压摆率控制和使能高驱动的假设下得到的。

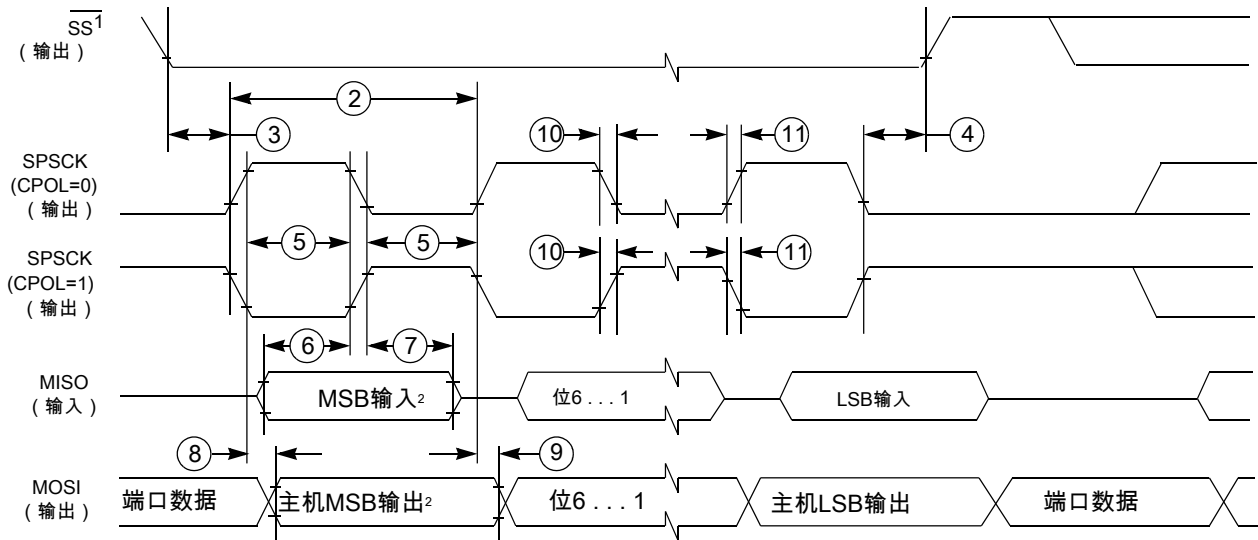
表 14. SPI 主机模式时序

编号	符号	说明	最小值	最大值	单位	注解
1	f_{op}	操作频率	$f_{Bus}/2048$	$f_{Bus}/2$	Hz	f_{Bus} 是总线时钟
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{Bus}$	$2048 \times t_{Bus}$	ns	$t_{Bus} = 1/f_{Bus}$
3	t_{Lead}	使能前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	使能滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{Bus} - 30$	$1024 \times t_{Bus}$	ns	—
6	t_{SU}	数据建立时间 (输入)	8	—	ns	—
7	t_{HI}	数据保持时间 (输入)	8	—	ns	—
8	t_v	有效数据 (在 SPSCK 边沿后)	—	25	ns	—
9	t_{HO}	数据保持时间 (输出)	20	—	ns	—
10	t_{RI}	输入上升时间	—	$t_{Bus} - 25$	ns	—
	t_{FI}	输入下降时间	—	$t_{Bus} - 25$	ns	—
11	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间	—	25	ns	—



1. 如果配置为输出。
2. LSBF = 0。对于LSBF = 1, 位序为LSB、位1、...、位6、MSB。

图 17. SPI 主机模式时序(CPHA=0)



1. 如果配置为输出。
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

图 18. SPI 主机模式时序(CPHA=1)

表 15. SPI 从机模式时序

编号	符号	说明	最小值	最大值	单位	注解
1	f_{op}	操作频率	0	$f_{Bus}/4$	Hz	f_{Bus} 是控制时序中定义的总线时钟。
2	t_{SPSCK}	SPSCK 周期	$4 \times t_{Bus}$	—	ns	$t_{Bus} = 1/f_{Bus}$
3	t_{Lead}	使能前置时间	1	—	t_{Bus}	—
4	t_{Lag}	使能滞后时间	1	—	t_{Bus}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{Bus} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	15	—	ns	—
7	t_{HI}	数据保持时间 (输入)	25	—	ns	—
8	t_a	从机访问时间	—	t_{Bus}	ns	从高阻抗状态到数据有效的 的时间
9	t_{dis}	从机 MISO 禁用时间	—	t_{Bus}	ns	到高阻抗状态的保持时间
10	t_v	有效数据 (在 SPSCK 边沿后)	—	25	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	$t_{Bus} - 25$	ns	—
	t_{FI}	输入下降时间				
13	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				

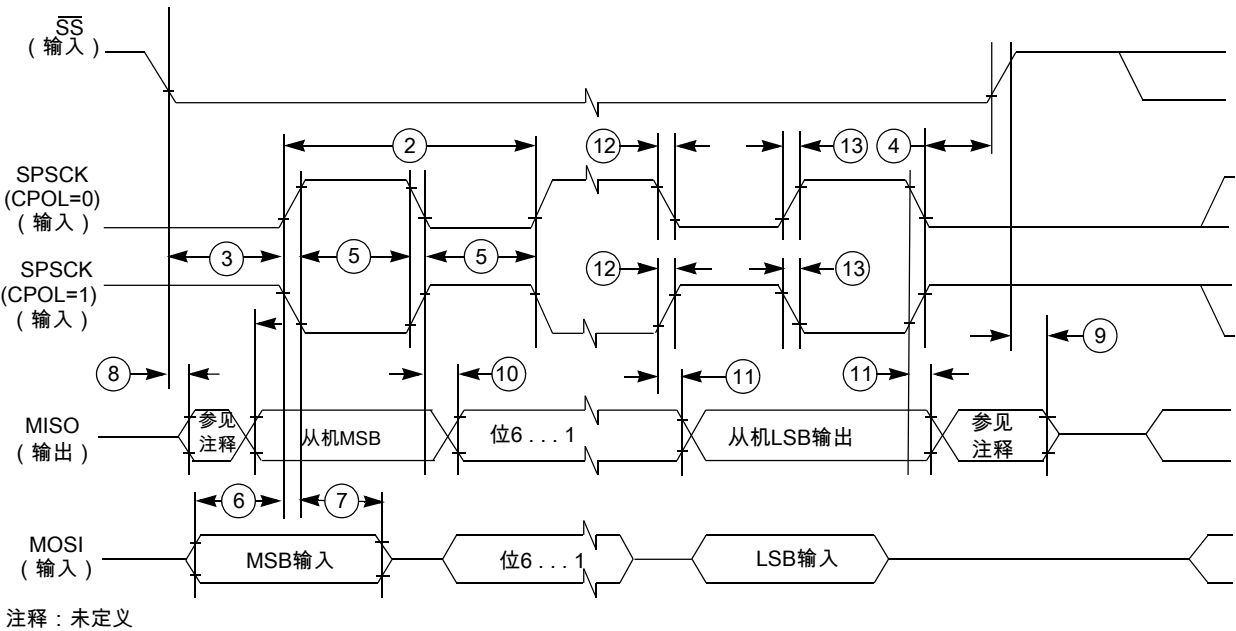


图 19. SPI 从机模式时序(CPHA = 0)

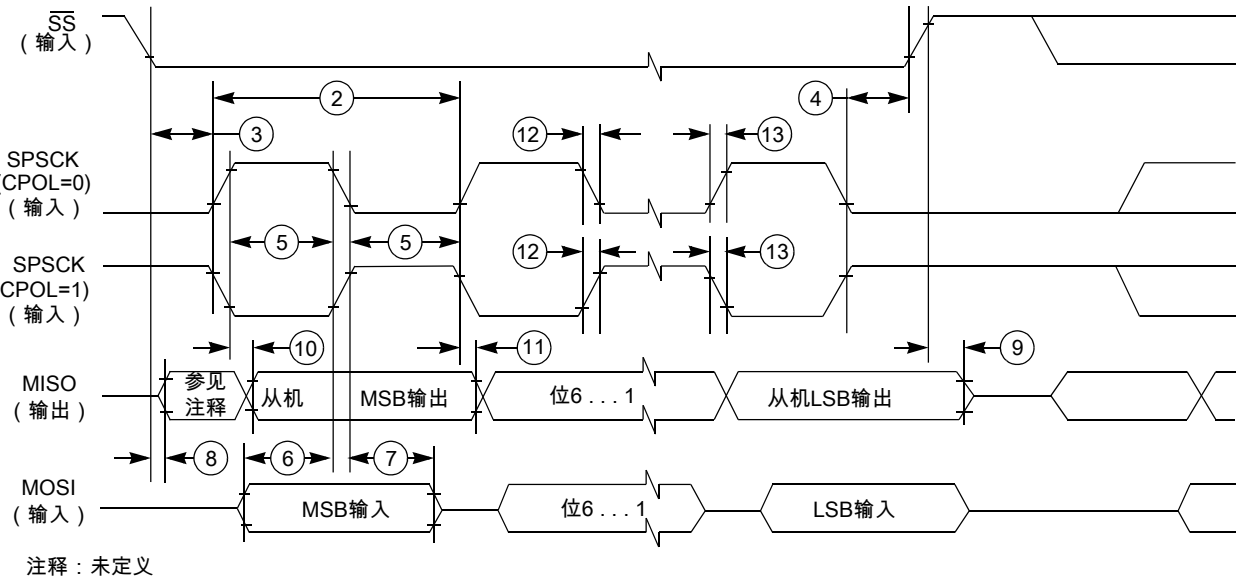


图 20. SPI 从机模式时序(CPHA = 1)

5.5.2 MSCAN

表 16. MSCAN 唤醒脉冲特性

参数	符号	最小值	典型值	最大值	单位
MSCAN 唤醒显性脉冲（滤波）	t_{WUP}	-	-	1.5	μs
MSCAN 唤醒显性脉冲（不滤波）	t_{WUP}	5	-	-	μs

6 尺寸

6.1 获取封装尺寸

封装图纸中提供了封装尺寸。

如要查找封装图纸, 敬请前往 freescale.com, 并按关键字搜索封装图纸的文档编号:

如果需要此封装的图纸	请使用此文档编号
64 引脚 LQFP	98ASS23234W
80 引脚 LQFP	98ASS23237W

7 管脚

7.1 信号多路复用和引脚分配

有关引脚多路复用的详细信息, 请参见 KEA128 参考手册“信号多路复用和信号说明”章节。

8 修订历史记录

下表介绍本文档的修订历史记录。

表 17. 修订历史记录

修订版本号	日期	重大变更
修订版 1	2014 年 3 月 11 日	首次发行
修订版 2	2014 年 6 月 18 日	- 删除了“参数分类”章节。 - 删除文档中所有表中的“分类”列。 - 添加了新章节 - 供电电流特性。
修订版 3	2014 年 7 月 18 日	- 添加了受支持的器件编号。 - 更新了 ESD 极限参数 部分。 - 更新了 DC 特性 章节中的图。 - 更新了以下表格中的规格: 表 9。
修订版 4	2014 年 9 月 3 日	数据手册类型更改为“技术数据”。

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。

Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。

Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, the Freescale logo, and Kinetis, are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners.

© 2014 Freescale Semiconductor, Inc.

© 2014 飞思卡尔半导体有限公司