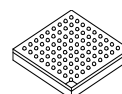




i.MX 6UltraLite 应用处理器



封装信息
塑料封装

BGA 14 x 14 mm, 0.8 mm 间距
BGA 9 x 9 mm, 0.5 mm 间距

订购信息

请参见 第 3 页上的表 1

1 i.MX 6UltraLite 简介

i.MX 6UltraLite 是一款高性能、超高效率处理器系列，采用 Freescale 先进的单核 ARM Cortex®-A7，运行速度最高支持 528 MHz。i.MX 6UltraLite 包括一个集成的电源管理模块，降低了外接电源的复杂性，并简化了上电时序。这个系列的每个处理器提供多种存储器接口，其中包括 LPDDR2，DDR3，DDR3L，NAND 闪存，NOR 闪存，eMMC，Quad SPI。i.MX 6UltraLite 也提供各种接口用于连接外围设备，如 WLAN、Bluetooth™、GPS、显示器和摄像头传感器。

i.MX 6UltraLite 处理器尤其适用于以下应用：

- ePOS 设备
- IoT 网关
- 门禁控制面板

1. i.MX 6UltraLite 简介	1
1.1. 订购信息	3
1.2. 特性	6
2. 架构概述	9
2.1. 框图	9
3. 模块列表	10
3.1. 特殊信号注意事项	17
3.2. 未使用模拟接口的建议连接	19
4. 电气特性	20
4.1. 芯片级条件	20
4.2. 电源要求和限制	28
4.3. 集成 LDO 稳压器参数	29
4.4. PLL 电气特性	31
4.5. 片上振荡器	32
4.6. I/O 直流参数	33
4.7. I/O 交流参数	37
4.8. 输出缓冲区阻抗参数	40
4.9. 系统模块时序	43
4.10. 通用媒体接口 (GPMI) 时序	59
4.11. 外部外设接口参数	67
4.12. A/D 转换器	92
5. 启动模式配置	97
5.1. 启动模式配置引脚	97
5.2. 启动器件接口分配	98
6. 封装信息和引脚分配	105
6.1. 14x14 mm 封装信息	105
6.2. 9x9 mm 封装信息	119
7. 修订历史记录	134



- 人机接口 (HMI)
- 智能家电

i.MX 6UltraLite 处理器具有以下特性：

- 单核 ARM Cortex-A7 — 单核 A7 可提供具有成本效益且节能的解决方案。
- 多级存储器系统 — 每个处理器的多级存储器系统基于 L1 指令和数据缓存、L2 缓存以及内部和外部存储器。该系列处理器支持多种类型的外部存储器设备，包括 DDR3、低压 DDR3、LPDDR2、NOR Flash、NAND Flash（MLC 和 SLC）、OneNAND™、Quad SPI 和管理 NAND，包括最高兼容 4.4/4.41/4.5 版本的 eMMC。
- 智能速度技术 — 内置电源管理技术使得多媒体功能和外设可以在工作和各种低功耗模式下消耗最小电量。
- 动态电压和频率调节 — 该系列处理器通过动态电压和频率调节技术可以达到功耗和性能的最佳平衡。
- 多媒体处理站 — 每款处理器的多媒体性能通过多级缓存系统、NEON™ MPE（媒体处理器引擎）、可编程智能 DMA (SDMA) 控制器、异步音频采样率转换器和像素处理管道 (PXP) 得以增强。其中 PXP 支持 2D 图像处理，包括色域转换、缩放、Alpha 混合和旋转。
- 2 个以太网接口 — 2 个 10/100 Mbps 以太网控制器。
- 人机接口 — 每款处理器均支持一个数字并行显示接口。
- 接口灵活性 — 每款处理器均支持连接多个接口：两个带 PHY 的高速 USB On-the-go、多个扩展卡端口（高速 MMC/SDIO 主机和其他）、两个带多达 10 个输入通道的 12 位 ADC 模块、两个 CAN 端口、两个符合 EMV 标准 v4.3 的智能卡接口和各种其他常用接口（如 UART、I²C 和 I²S 串行音频接口）。
- 先进的安全性 — 该系列处理器可提供硬件支持的安全功能，从而实现安全电子商务、数字权限管理 (DRM)、信息加密、实时 DRAM 加密、安全引导和安全软件下载。安全功能将在 *i.MX 6UltraLite 安全参考手册 (IMX6ULSRM)* 中详细介绍。
- 集成电源管理 — 该系列处理器集成了线性稳压器，并针对不同域生成电压。

如需了解 i.MX 6UltraLite 功能的完整列表，请参见第 1.2 节，“特性”。

1.1 订购信息

表 1 提供本数据手册中涵盖的可订购器件编号示例。

表 1. 订购信息

部件编号	特性	封装	结温度 T_j (°C)
MCIMX6G0DVM05AA	单核, 528 MHz	14 x 14 mm, 0.8 间距, BGA	0 至 +95
MCIMX6G2DVM05AA	单核, 528 MHz	14 x 14 mm, 0.8 间距, BGA	0 至 +95
MCIMX6G3DVM05AA	单核, 528 MHz	14 x 14 mm, 0.8 间距, BGA	0 至 +95
MCIMX6G2DVK05AA	单核, 528 MHz	9 x 9mm, 0.5 间距, BGA	0 至 +95
MCIMX6G3DVK05AA	单核, 528 MHz	9 x 9mm, 0.5 间距, BGA	0 至 +95

图 1 介绍器件编号命名法，从而使用户可以识别其所具有的特定部件编号的特征（如内核、频率、温度等级、熔丝选项和芯片版本）。区分特定器件所适用的数据手册的主要特征为温度等级（结）场。

- i.MX 6UltraLite 消费电子产品应用处理器数据手册 (IMX6ULCEC) 涵盖带 “D（商业级温度）” 的器件

请确保使用适合于特定器件的数据手册，方法是验证温度等级（结）场并将其与正确的数据手册匹配。如果存在任何问题，请访问网页 freescale.com/imx6series 或者联系 Freescale 代表，以获取详情。

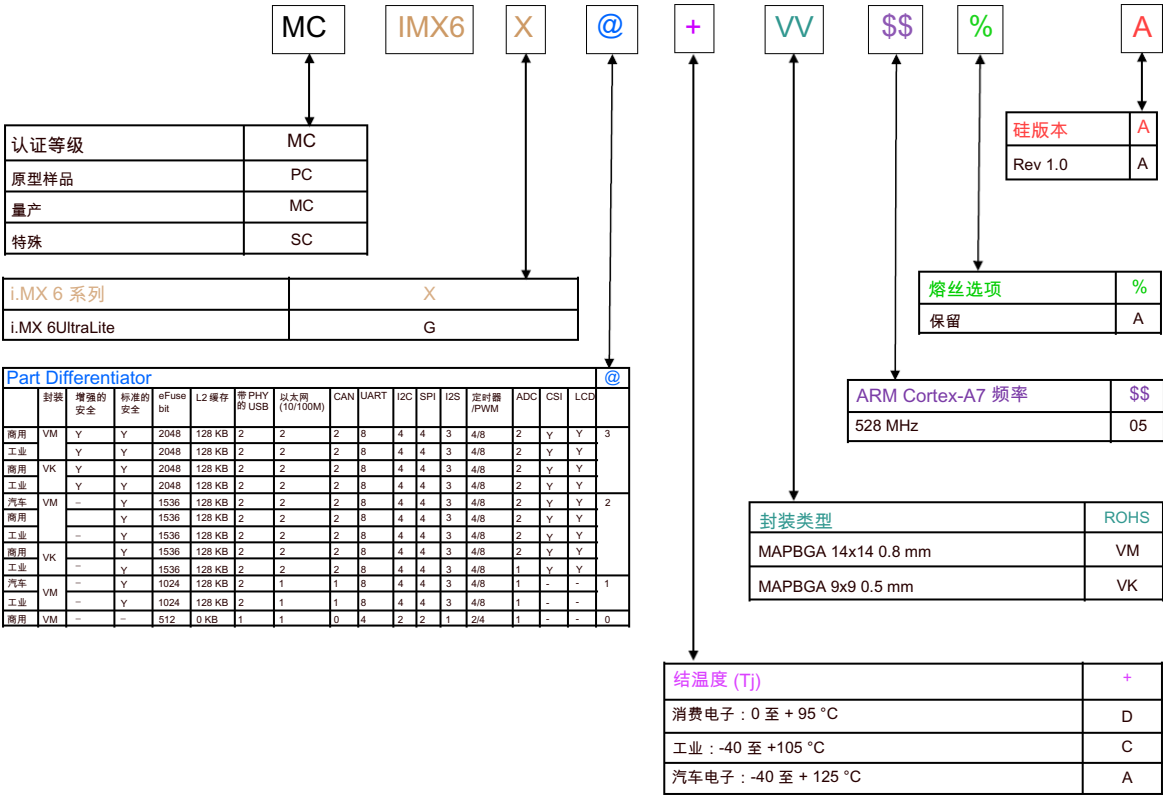


图 1. 器件编号命名法 — i.MX 6UltraLite

表 2 列出外设的相关详细信息。

表 2. 详细的外设信息 ¹

外设名称	实例	G0	G1	G2	G3
以太网	ENET1	Y	Y	Y	Y
	ENET2	NA	NA	Y	Y
带 PHY 的 USB	OTG1	Y	Y	Y	Y
	OTG2	NA	Y	Y	Y
CAN	FLEXCAN1	NA	Y	Y	Y
	FLEXCAN2	NA	NA	Y	Y
CSI	CSI	NA	NA	Y	Y
LCD	LCDIF	NA	NA	Y	Y
QSPI	QSPI	Y	Y	Y	Y
SDIO	uSDHC1	Y	Y	Y	Y
	uSDHC2	Y	Y	Y	Y

表 2. 详细的外设信息 (续)¹

外设名称	实例	G0	G1	G2	G3
UART	UART1	Y	Y	Y	Y
	UART2	Y	Y	Y	Y
	UART3	Y	Y	Y	Y
	UART4	Y	Y	Y	Y
	UART5	NA	Y	Y	Y
	UART6	NA	Y	Y	Y
	UART7	NA	Y	Y	Y
	UART8	NA	Y	Y	Y
ISO7816-3	SIM1	NA	Y	Y	Y
	SIM2	NA	Y	Y	Y
I2C	I2C1	Y	Y	Y	Y
	I2C2	Y	Y	Y	Y
	I2C3	NA	Y	Y	Y
	I2C4	NA	Y	Y	Y
SPI	ECSPI1	Y	Y	Y	Y
	ECSPI2	Y	Y	Y	Y
	ECSPI3	NA	Y	Y	Y
	ECSPI4	NA	Y	Y	Y
I2S/SAI	SAI1	Y	Y	Y	Y
	SAI2	NA	Y	Y	Y
	SAI3	NA	Y	Y	Y
定时器 /PWM	EPIT1	Y	Y	Y	Y
	EPIT2	NA	Y	Y	Y
	GPT1	Y	Y	Y	Y
	GPT2	NA	Y	Y	Y
	PWM1	Y	Y	Y	Y
	PWM2	Y	Y	Y	Y
	PWM3	Y	Y	Y	Y
	PWM4	Y	Y	Y	Y
	PWM5	NA	Y	Y	Y
	PWM6	NA	Y	Y	Y
	PWM7	NA	Y	Y	Y
	PWM8	NA	Y	Y	Y
ADC	ADC1	Y	Y	Y	Y
	ADC2	NA	NA	Y	Y

¹ 有关详细的引脚多路复用信息, 请参阅 *i.MX 6UltraLite 参考手册* (IMX6ULRM) 的章节 4 “外部信号和引脚多路复用”。

1.2 特性

i.MX 6UltraLite 处理器基于 ARM Cortex-A7 MPCore™ 平台，具有以下特性：

- 支持单 ARM Cortex-A7 MPCore （带 TrustZone）配备：
 - 32 KB L1 指令缓存
 - 32 KB L1 数据缓存
 - 专用定时器和看门狗
 - Cortex-A7 NEON MPE （媒体处理引擎）协处理器
- 支持 128 个中断的通用中断控制器 (GIC)
- 全局定时器
- 监听控制单元 (SCU)
- 128 KB 统一 I/D L2 缓存
- L2 缓存的单主机 AXI 总线接口输出
- 内核频率 （包括 Neon 和 L1 缓存），符合第 23 页上的表 11，“工作范围”。
- NEON MPE 协处理器
 - SIMD 媒体处理架构
 - NEON 寄存器文件，带 32x64 位通用寄存器
 - NEON 整数执行管道（ALU、Shift、MAC）
 - NEON 双、单精度浮点执行管道（FADD、FMUL）
 - NEON 负载 / 存储和交换管道
 - 32 双精度 VFPv3 浮点寄存器

SoC 级存储器系统还包括下列其他组件：

- 引导 ROM，包括 HAB (96 KB)
- 内部多媒体 / 共享、快速访问 RAM（OCRAM、128 KB）
- 安全 / 非安全 RAM (32 KB)
- 外部存储器接口：i.MX 6UltraLite 处理器支持最新、大量、高性价比的手持式 DRAM、NOR 和 NAND Flash 存储器标准。
 - 16 位 LP-DDR2-800、16 位 DDR3-800 和 LV-DDR3-800
 - 8 位 NAND-Flash，包括支持原始 MLC/SLC，2 KB、4 KB 和 8 KB 页面大小，BA-NAND、PBA-NAND、LBA-NAND、OneNAND™ 和其他。BCH ECC 最高支持 40 位。
 - 16/8 位 NOR Flash。所有 EIMv2 引脚均多路复用在其他接口上。

每个 i.MX 6UltraLite 处理器均具有以下连接外部器件的接口（部分多路复用，因此不可同时使用）：

- 显示屏：
 - 一个并行显示端口，支持最大 85 MHz 显示时钟和最高支持 WXGA (1366 x 768) (60 Hz 时)
 - 支持 24 位、18 位、16 位和 8 位并行显示

- 摄像头传感器：
 - 一个并行摄像头端口，最高支持 24 位和 148.5 MHz 像素时钟
 - 支持 24 位、16 位、10 位和 8 位输入
 - 支持 BT.656 接口
- 扩展卡：
 - 两个 MMC/SD/SDIO 卡端口，均支持：
 - 最高支持 UHS-I SDR104 模式的 SD 和 SDIO 卡的 1 位或 4 位传输模式规范（最大 104 MB/s）
 - SDR 和 DDR 模式下最高支持 52 MHz 的 MMC 1 位、4 位或 8 位传输模式规范（最大 104 MB/s）
 - HS200 模式下最高支持 200 MHz 的 eMMC 芯片的 4 位或 8 位传输模式规范（最大 200 MB/s）
- USB：
 - 两个高速 (HS) USB 2.0 OTG（最高支持 480 Mbps），带集成 HS USB Phy
- 其他 IP 和接口：
 - 三个 SAI，最高支持三个 I2S
 - Sony Philips 数字互联格式 (SPDIF)，Rx 和 Tx
 - 8 个 UART，每个最高支持 5.0 Mbps：
 - 提供 RS232 接口
 - 支持 9 位 RS485 多点模式
 - 支持 RTC/CTS，以进行硬件流控制
 - 4 个 eCSPI（增强的 CSPI）
 - 4 个 I²C
 - 两个以太网控制器（符合 IEEE1588 标准），10/100 Mbps
 - 8 个脉宽调制器（PWM）
 - 系统 JTAG 控制器 (SJC)
 - 带中断功能的 GPIO
 - 8x8 键盘端口 (KPP)
 - 一个 Quad SPI 连接至串行 NOR flash
 - 两个灵活控制器局域网 (FlexCAN)
 - 3 个看门狗定时器 (WDOG)
 - 两个 12 位模数转换器 (ADC)，带最高支持 10 个输入通道
 - 触摸屏控制器 (TSC)

i.MX 6UltraLite 处理器集成了先进的电源管理单元和控制器：

- 为片上资源提供 PMU，包括 LDO 电源
- 使用温度传感器监测芯片温度
- 使用电压传感器监测芯片电压

- 支持用于低功耗模式的 DVFS 技术
- 使用适合于 ARM 和 NEON 的 SW 状态保留和电源门控
- 支持不同级别的系统功耗模式
- 使用灵活时钟门控方案
- 两个符合 EVM 标准 4.3 的智能卡接口

i.MX 6UltraLite 处理器使用专用的硬件加速器，以达到目标多媒体性能。使用硬件加速器是在低功耗的同时获得高性能的关键因素，同时 CPU 内核可以相对自由地执行其他任务。

i.MX 6UltraLite 处理器包含以下硬件加速器：

- PXP — 像素处理管道，用于图像大小调整、旋转、重叠和 CSC。需要卸载关键像素处理操作，以支持 LCD 显示应用。
- ASRC — 异步采样率转换器。

可通过以下硬件启用和加速安全功能：

- ARM TrustZone，包括 TZ 架构（中断分离、存储器映射等）
- SJC — 系统 JTAG 控制器。通过调整或阻止对系统调试功能的访问，使 JTAG 免受调试端口攻击。
- CAAM — 加密加速和保证模块，包含加密和散列引擎、32KB 安全 RAM 以及真伪随机数据生成器（NIST 认证）。
- SNVS — 安全非易失性存储，包括安全实时时钟，主动 Tamper 和被动 Tamper 检测逻辑均具有最高支持 10 个 Tamper 输入。电压监测器、温度监测器和时钟频率监测器保护安全密钥存储。
- CSU — 中央安全单元。IC 识别模块 (IIM) 增强。可以在启动过程中由 eFUSE 配置，并且决定安全等级工作模式以及 TZ 策略。
- A-HAB — 先进的高可靠引导带全新嵌入式增强功能的 HABv4：SHA-256、2048 位 RSA 密钥、版本控制机制、热引导、CSU 和 TZ 初始化。
- BEE — 总线加密引擎 (BEE) 支持实时 DRAM 加密和解密。

附注

实际功能集取决于具体的器件编号，如表 1 所述。功能连接接口，例如显示器和摄像头接口。

2 架构概述

以下子章节提供了 i.MX 6UltraLite 处理器系统的架构概述。

2.1 框图

图 2 介绍了 i.MX 6UltraLite 处理器系统中的功能模块。

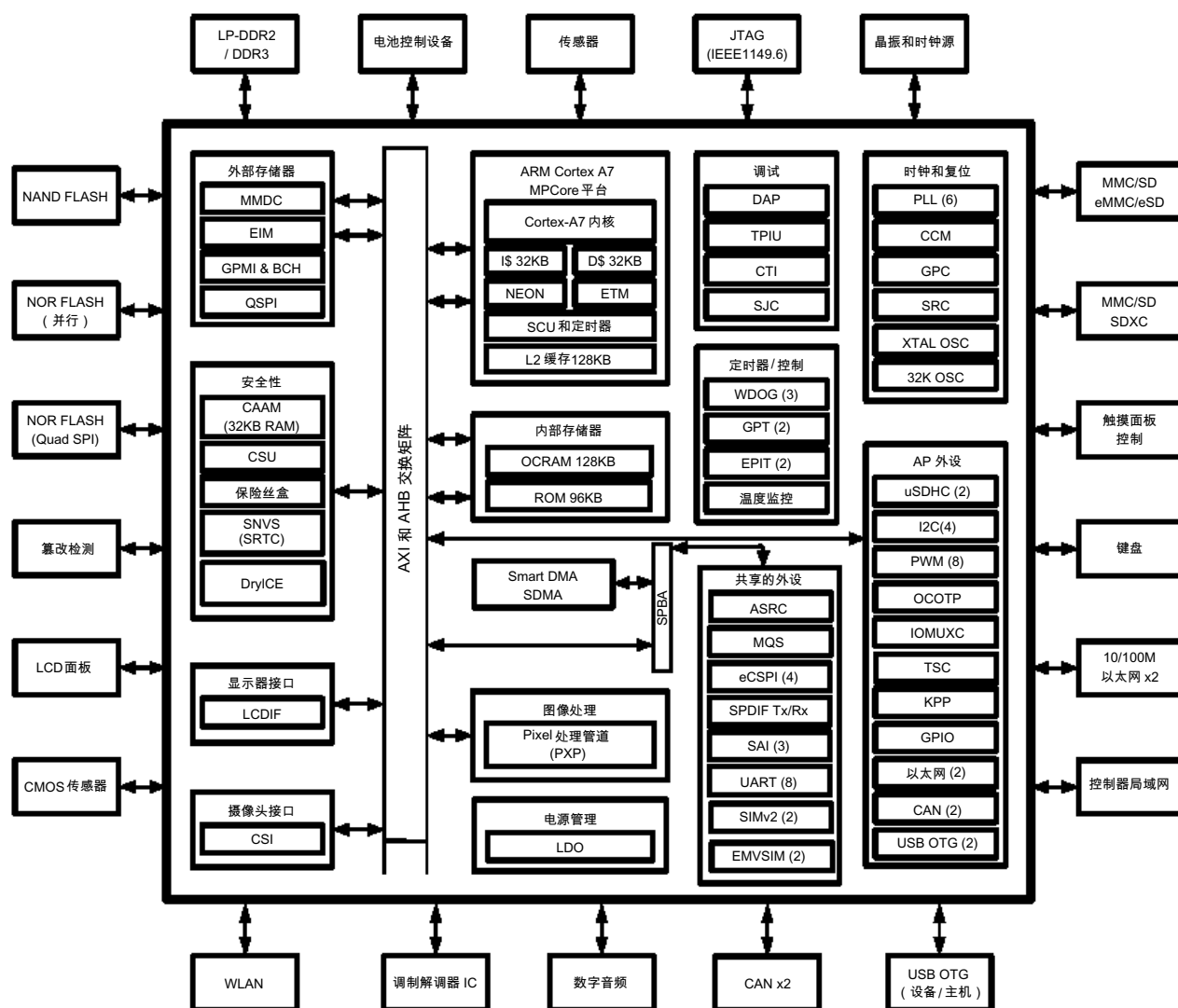


图 2. i.MX 6UltraLite 系统框图

3 模块列表

i.MX 6UltraLite 处理器包含多个数字和模拟模块。表 3 按字母顺序介绍了这些模块。

表 3. i.MX 6UltraLite 模块列表

数据块助记符	数据块名称	子系统	简短说明
ADC1 ADC2	模数转换器	—	ADC 是一种 12 位通用模数转换器。
ARM	ARM 平台	ARM	ARM 内核平台包含 1 个 Cortex-A7 内核。它还包含相关的子块，例如 2 级缓存控制器、SCU（监听控制单元）、GIC（通用中断控制器）、专用定时器、看门狗和 CoreSight 调试模块。
ASRC	异步采样率转换器	多媒体外设	异步采样率转换器 (ASRC) 可将与输入时钟相关联的信号采样率转换成与不同输出时钟相关联的信号。ASRC 支持多达 10 个大约 -120dB THD+N 的通道的并发采样率转换。每个通道的采样率转换均与一对传入和传出采样率相关联。ASRC 支持多达三个采样率对。
BCH	二进制 BCH ECC 处理器	系统控制外设	BCH 模块为 NAND Flash 控制器 (GPML) 提供最高支持 40 位 ECC 加密 / 解密。
CAAM	密码加速器和保证模块	安全性	CAAM 是一种密码加速器和保证模块。CAAM 可实施多种加密和哈希功能、运行时完整性检查器和伪随机数生成器 (PRNG)。伪随机数生成器经过美国国家标准与技术研究院 (NIST) 的密码算法验证体系 (CAVP) 的认证。其 DRBG 认证码是 94，并且 SHS 认证码是 1455。CAAM 还可实施安全存储器机制。在 i.MX 6UltraLite 处理器中，所提供的安全存储器为 32 KB。
CCM GPC SRC	时钟控制模块、通用电源控制器、系统复位控制器	时钟、复位和电源控制	这些模块负责系统内的时钟和复位分配，也用于系统电源管理。
CSI	并行 CSI	多媒体外设	CSI IP 提供并行 CSI 标准摄像头接口端口。CSI 并行数据端口最高支持 24 位。它设计用于支持 24 位 RGB888/YUV444、CCIR656 视频接口、8 位 YCbCr、YUV 或 RGB 以及 8 位 /10 位 /16 位 Bayer 数据输入。
CSU	中央安全单元	安全性	中央安全单元 (CSU) 负责在 i.MX 6UltraLite 平台内设置全面安全策略。

表 3. i.MX 6UltraLite 模块列表（续）

数据块助记符	数据块名称	子系统	简短说明
DAP	调试访问端口	系统控制外设	DAP 为调试器提供实时访问权限，而无需使内核停止在： - 系统存储器和外设寄存器 - 所有调试配置寄存器 DAP 还为调试器提供对 JTAG 扫描链的访问权限。DAP 模块位于 Cortex-A7 内核平台内部。
eCSPI1 eCSPI2 eCSPI3 eCSPI4	可配置的 SPI	连接外设	全双工增强同步串行接口，具有最高支持 52 Mbit/s 的数据速率。它可配置为支持主 / 从模式，有四个片选来支持多个外设。
EIM	NOR-Flash /PSRAM 接口	连接外设	EIM NOR-FLASH / PSRAM 可提供： - 在慢频率下，支持 16 位（仅限多路复用 IO 模式）PSRAM 存储器（同步和异步操作模式） - 在慢频率下，支持 16 位（仅限多路复用 IO 模式）NOR-Flash 存储器 - 多片选
EMV SIM1 EMV SIM2	Europay、Master 和 Visa 用户识别模块	连接外设	EMV SIM 设计用于简化与符合 EMV 4.3 版标准（第 1 册）的智能卡以及符合 ISO/IEC 7816-3 标准的智能卡的通信。
ENET1 ENET2	以太网控制器	连接外设	以太网媒体访问控制器 (MAC) 设计用于支持 10/100 Mbit/s 以太网 /IEEE 802.3 网络。需要外部收发器接口和收发器功能才能完成与媒体的连接。该模块具有支持 IEEE 1588 标准的专用硬件。详情参见参考手册的 ENET 章节。
EPIT1 EPIT2	增强型周期中断定时器	定时器外设	每个 EPIT 都是一种 32 位“一劳永逸”定时器，它在软件启用 EPIT 后开始计数。它能够定期提供精确中断，并且具有最小的处理器干预。它具有 12 位预分频器，可对输入时钟频率进行分频，以便获取出现中断所需的时间设置，并且能在运行中编程计数器值。
FLEXCAN1 FLEXCAN2	灵活控制器局域网	连接外设	CAN 协议主要但非只用作车辆串行数据总线，它满足该领域的特定要求：实时处理、在车辆的电磁干扰 (EMI) 环境中可靠工作、高性价比以及所需带宽要求。FlexCAN 模块使用完整的 CAN 协议版本 2.0B 规范，支持标准和扩展的消息帧。

表 3. i.MX 6UltraLite 模块列表（续）

数据块助记符	数据块名称	子系统	简短说明
GPIO1 GPIO2 GPIO3 GPIO4 GPIO5	通用 I/O 模块	系统控制外设	用于外部 IC 的通用输入 / 输出。每个 GPIO 模块支持 32 位 I/O。
GPMI	通用存储器接口	连接外设	GPMI 模块为 NAND Flash 控制器 (GPMI2) 支持多达 8 个 NAND 器件和 40 位 ECC 加密 / 解密。GPMI 支持每个 NAND 器件有单独的 DMA 通道。
GPT1 GPT2	通用定时器	定时器外设	每个 GPT 为一个“自由运行”或“一劳永逸”模式定时器，带可编程预分频器以及比较和捕捉寄存器。定时器计数器值可通过外部事件捕捉，并且可配置为触发输入脉冲前边沿或后边沿上的捕捉事件。当定时器配置为在“一劳永逸”模式下运行时，它能够定期提供精确中断，并且具有最小的处理器干预。该计数器具有输出比较逻辑，用于提供比较时的状态和中断。该定时器可配置为在外部时钟或内部时钟上运行。
LCDIF	LCD 接口	连接外设	LCDIF 是一款通用显示器控制器，用于驱动多款大小和功能不同的显示器设备。LCDIF 设计用于支持非智能（同步 24 位并行 RGB 接口）和智能（异步并行 MPU 接口）LCD 器件。
MQS	中等音质	多媒体外设	MQS 用于通过两个标准的数字 GPIO 引脚生成类 PWM 的双通道中等音质音频。
PWM1 PWM2 PWM3 PWM4 PWM5 PWM6 PWM7 PWM8	脉宽调制	连接外设	脉宽调制器 (PWM) 具有一个 16 位计数器经过优化，可通过存储的样本音频图像生成声音，它还可以生成音调。它使用 16 位分辨率和 4x16 数据 FIFO 来生成声音。
PXP	像素处理管道	显示外设	高性能像素处理器，能够实现单像素 / 时钟性能，以便用于组合操作，例如色域转换、alpha 混合、伽玛映射和旋转。PXP 经过改进，具有专门针对灰度应用的功能。此外，PXP 还支持针对静态图像和视频处理应用的传统像素 / 帧处理路径，以允许其连接集成 EPD。

表 3. i.MX 6UltraLite 模块列表（续）

数据块助记符	数据块名称	子系统	简短说明
QSPI	Quad SPI	连接外设	Quad SPI 模块用作外部串行 Flash 器件的接口。该模块包含以下功能特点： · 灵活的序列引擎，支持不同供应商的 flash 器件 · 单管脚、双管脚或四管脚操作模式 · 单数据传输速率 / 双数据传输速率操作模式 · 并行 Flash 模式 · DMA 支持 · 至连接的 flash 器件的存储器映射读取访问 · 具有优先级的多主机访问，可为每个主机灵活地配置缓冲器
SAI1 SAI2 SAI3	—	—	SAI 模块提供有同步音频接口 (SAI)，支持带帧同步功能的全双工串行接口，例如 I2S、AC97、TDM 和编解码器 /DSP 接口。
SDMA	智能直接存储器访问	系统控制外设	SDMA 是一款灵活的多通道 DMA 引擎。它通过卸载动态数据路由中的多个内核来将系统性能最大化。它具有以下特性： · 由 16 位指令集 micro-RISC 引擎驱动 · 多通道 DMA，最高支持 32 条时分复用 DMA 通道 · 48 个事件，完全可以灵活触发任何通道组合 · 存储器访问，包括线性、FIFO 和 2D 寻址 · ARM 与 SDMA 之间的共享外设 · 超快上下文切换功能，带基于抢占式多任务的 2 级优先级 · 带自动刷新和预取功能的 DMA 单元 · 对 DMA 传输进行灵活的地址管理（递增、递减以及源地址和目标地址无变化） · DMA 端口可处理单向和双向流（复制模式） · 最高支持 8 字缓冲区，用于 EMv2.5 的可配置突发传输 · 支持字节交换和 CRC 计算 · 可提供脚本库和 API
2x SIMv2	智能卡	连接外设	智能卡接口符合 ISO7816 标准。

表 3. i.MX 6UltraLite 模块列表（续）

数据块助记符	数据块名称	子系统	简短说明
SJC	系统 JTAG 控制器	系统控制外设	SJC 提供至内部逻辑的 JTAG 接口，该接口符合 JTAG TAP 标准。i.MX 6UltraLite 处理器使用 JTAG 端口进行生产、测试和系统调试。此外，SJC 提供 BSR（边界扫描寄存器）标准支持，符合 IEEE1149.1 和 IEEE1149.6 标准。 JTAG 端口必须在平台初始实验室构建过程中可访问，以便进行生产测试和故障排除，以及由授权实体进行软件调试。i.MX 6UltraLite SJC 包含三种安全模式，用于防止未经授权访问。可通过 eFUSE 配置选择模式。
SNVS	安全非易失性存储	安全性	安全非易失性存储，包括安全实时时钟、安全状态机、主机密钥控制以及违规 /Tamper 检测和报告。
SPDIF	Sony Philips 数字互联格式	多媒体外设	标准的音频文件传输格式，由 Sony 和 Phillips 公司联合开发。具有发射器和接收器功能。
系统计数器	—	—	系统计数器模块是一个可编程系统计数器，可为 Cortex A 系列内核提供共享时基，作为 ARM 通用计时器架构的一部分。它设计用于计数器始终上电的应用，并且支持多个无关时钟。
TSC	触摸屏	触摸控制器	带触摸控制器，支持 4 线和 5 线电阻式触摸面板。
TZASC	Trust-Zone 地址空间控制器	安全性	TZASC（ARM 的 TZC-380）可为目标应用提供所需的安全地址区域控制功能。它用于至 DRAM 控制器的路径上。
UART1 UART2 UART3 UART4 UART5 UART6 UART7 UART8	UART 接口	连接外设	每个 UARTv2 模块支持以下串行数据发送 / 接收协议和配置： • 7 位或 8 位数据字、1 个或 2 个停止位、可编程奇偶校验（偶数、奇数或无）。 • 最高支持 5 Mbps 的可编程波特率。 • 32 字节 FIFO（Tx）和 32 半字 FIFO（Rx）支持波特率。

表 3. i.MX 6UltraLite 模块列表（续）

数据块助记符	数据块名称	子系统	简短说明
uSDHC1 uSDHC2	SD/MMC 和 SDXC 增强型多媒体卡 / 安全数字 主机控制器	连接外设	i.MX 6UltraLite 特定 SoC 特性： 所有四个 MMC/SD/SDIO 控制器 IP 均相同且都基于 uSDHC IP。它们： - 完全兼容多媒体卡系统规范 v4.5/4.2/4.3/4.4/4.41/ 中定义的 MMC 命令 / 响应集和物理层，包括大容量（大小 > 2 GB）卡 HC MMC。 - 完全兼容 SD 存储卡规范 v3.0 中定义的 SD 命令 / 响应集和物理层，包括最高支持 2 TB 的大容量 SDXC 卡。 - 完全兼容 SDIO 卡规范 E1 部分 v3.0 中定义的 SDIO 命令 / 响应集和中断 / 读取等待模式。 两个端口支持： - 最高支持 UHS-I SDR104 模式的 SD 和 SDIO 卡的 1 位或 4 位传输模式规范（最大 104 MB/s）。 - SDR 和 DDR 模式下最高支持 52 MHz 的 MMC 1 位、4 位或 8 位传输模式规范（最大 104 MB/s）。 - HS200 模式下最高支持 200 MHz 的 eMMC 芯片的 4 位或 8 位传输模式规范（最大 200 MB/s）。 但是，SoC 级集成和 I/O 多路复用逻辑将功能限制为如下： - 实例 #1 和 #2 主要用作板上外设的接口。这些端口配备“卡检测”和“写入保护”面板，不支持硬件复位。 - 实例 #3 用作主要的外部卡插槽。 - 实例 #4 用作通过 eMMC 或 SD 的主要引导设备，或用作辅助外部卡插槽。实例 #3 和 #4 没有“卡检测”和“写入保护”面板，不支持硬件复位。 - 所有端口均支持 1.8 V 和 3.3 V 卡。在四位配置（SD 接口）下，端口 #1 和 #2 具有两种完全独立的 I/O 电源域。端口 #3 置于其自身独立的电源域中，端口 #4 与一些其他接口共用电源域。
USB	通用串行总线 2.0	连接外设	USB02（USB OTG1 和 USB OTG2）包含： - 两个高速 OTG 2.0 模块，带有集成 HS USB PHY - 支持 8 个发送 (TX) 和 8 个接收 (Rx) 端点，包括端点 0

表 3. i.MX 6UltraLite 模块列表（续）

数据块助记符	数据块名称	子系统	简短说明
WDOG1 WDOG3	看门狗	定时器外设	看门狗定时器在每个计数周期中支持两个比较点。每个比较点均可配置为唤起 ARM 内核的中断，第二个点用于唤起 WDOG 线路上的外部事件。
WDOG2 (TZ)	看门狗 (TrustZone)	定时器外设	TrustZone 看门狗(TZ WDOG)定时器模块可提供一种退出正常模式并强制开关进入 TZ 模式的方法，防止 TrustZone 崩溃。TZ 崩溃指的是正常操作系统防止切换到 TZ 模式的情况。此情况不可取，因为它会影响系统的安全性。激活 TZ WDOG 模块之后，必须通过 TZ 软件周期性地为其提供服务。如果服务未发生，则定时器将会超时。超时后，TZ WDOG 将会断言 TZ 映射中断，以强制切换到 TZ 模式。如果仍未为其提供服务，则 TZ WDOG 将向 CSU 断言一个安全违规信号。无法通过正常模式 SW 编程或禁用 TZ WDOG 模块。

3.1 特殊信号注意事项

表 4 列出了 i.MX 6UltraLite 处理器的特殊信号注意事项。信号名称按字母顺序列出。

封装引脚分配可在第 6 节，“封装信息和引脚分配”中找到。*i.MX 6UltraLite 参考手册* (IMX6ULRM) 中提供了信号描述。

表 4. 特殊信号注意事项

信号名称	备注
CCM_CLK1_P/ CCM_CLK1_N	提供一个通用差分高速时钟输入 / 输出。 可用于： - 将外部参考时钟传送至 PLL，进而传送至 SoC 内的模块。 - 输出内部 SoC 时钟，以在 SoC 外部用作参考时钟或外设的功能时钟。 有关各时钟树的详情，请参见 <i>i.MX 6UltraLite 参考手册</i> (IMX6ULRM)。 或者，也可以使用单端信号驱动 CLK1_P 输入。在此情况下，对应的 CLK1_N 输入应连接到相当于输入信号摆幅一半的恒定电压电平。 如果是高频信号，则应提供终端电阻。 初始化后，CLK1 输入 / 输出可禁用（如不使用）。如果不使用，则 CLK1_N/P 对中的二者或二者之一可保持悬空。
RTC_XTALI/RTC_XTALO	如果用户希望将 RTC_XTALI 和 RTC_XTALO 配置为 RTC 振荡器，则应将一个 32.768 kHz 晶体（≤100 kΩ ESR、10 pF 负载）连接在 RTC_XTALI 和 RTC_XTALO 之间。请注意，晶体任一侧使用的电容约为晶体负载电容的两倍。要达到准确的振荡频率，需要降低电路板电容，以考虑电路板和芯片寄生性。集成振荡放大器为自动偏置，但相对较弱。务必注意限制从 RTC_XTALI 和 RTC_XTALO 至电源或接地的寄生泄漏 (>100 MΩ)。这将解除放大器的偏置并降低启动裕量。一般情况下，RTC_XTALI 和 RTC_XTALO 应偏置为约 0.5 V。 如果需要将外部低频时钟传送至 RTC_XTALI，则 RTC_XTALO 引脚应保持悬空或者由附送信号驱动。一般情况下，此强制时钟的逻辑电平不得超过 VDD_SNVS_CAP 且频率应小于 100 kHz。 如果无需高精度实时时钟，则系统可使用内部低频环形振荡器。建议将 RTC_XTALI 连接至 GND 并保持 RTC_XTALO 悬空。
XTALI/XTALO	24.0 MHz 晶体应连接在 XTALI 和 XTALO 之间。 该晶体的最大额定驱动等级应为 250 μW。建议使用典型的 80 Ω ESR（等效串联电阻）。Freescale BSP（板级支持包）软件要求 XTALI/XTALO 上的频率为 24 MHz。 如果系统中存在外部 24 MHz 振荡器，则无需使用此晶体。在此情况下，XTALO 必须由外部振荡器直接驱动且 XTALI 必须安装 18 pF 电容，这里需要特别注意，时钟信号的逻辑电平不能超过 NVCC_PLL_OUT。有关详情，请参见 EVK 电路板参考设计。 如果将此时钟用作 USB 参考，则需要遵照严格的频率公差和抖动要求。有关详情，请参见 OSC24M 章节和相关接口规格章节。
DRAM_VREF	结合使用 DDR_VREF 和 DDR I/O 时，标称基准电压必须为 NVCC_DRAM 电源的一半。用户必须将 DDR_VREF 连接至精确的外部电阻分频器。将 1 kW 0.5% 电阻连接至 GND 并将 1 kW 0.5% 电阻连接至 NVCC_DRAM。通过紧密安装的 0.1 μF 电容分流每个电阻。 要降低电源电流，可使用一对 1.5 kΩ 0.1% 电阻。当两个 DDR3 IC 和 i.MX 6UltraLite 消耗电阻分频器上的电流时，使用建议容差的电阻可确保容差在 DDR_VREF 的 ± 2% 内（根据 DDR3 规范）。

表 4. 特殊信号注意事项（续）

信号名称	备注
ZQPAD	在 DRAM 输出缓冲区驱动器校准过程中用作参考的 DRAM 校准电阻 240 Ω 1% 应连接在此管脚和 GND 之间。
GPANAIO	此信号仅保留用于飞思卡尔制造。用户必须保持此连接悬空。
JTAG_nnnn	JTAG 接口汇总在表 5 中。无需使用外部电阻。但是，如果使用外部电阻，则用户必须确保遵循片上上拉 / 下拉配置。例如，不要在具有片上上拉电阻的输入上使用外部下拉电阻。 JTAG_TDO 配置了保持器电路，以便在不存在外部拉动电阻时消除悬空条件。JTAG_TDO 上的外部拉动电阻有害，应该避免。 JTAG_MOD 在 i.MX 6UltraLite 参考手册中被称为 SJC_MOD。两个名称指的是相同的信号。JTAG_MOD 必须从外部连接至 GND，以实现正常工作。允许通过外部下拉电阻（例如 1 kΩ）端接到 GND。JTAG_MOD 设置为高可将 JTAG 接口配置为符合 IEEE1149.1 标准的模式。JTAG_MOD 设置为低可为常见 SW 调试配置 JTAG 接口，用于将所有系统 TAP 添加到链。
NC	这些信号为不连接 (NC)，用户应保持悬空。
POR_B	该冷复位负逻辑输入将复位 IC 中的所有模块和逻辑。 可与内部生成的上电复位信号结合使用（逻辑 AND，内部和外部信号被视为有效低电平）。
ONOFF	ONOFF 可配置为去抖、关闭到开启时间和最大超时配置。去抖和关闭到开启时间配置支持 0、50、100 和 500 ms。去抖用于生成断电中断。当处于开启状态时，如果按下 ONOFF 按钮的时间长于去抖时间，则会生成断电中断。关闭到开启时间支持在到达配置的按钮按下时间后请求通电所需的时间。当处于关闭状态时，如果按下 ONOFF 按钮的时间长于关闭到开启时间，则状态将从关闭过渡到开启。最大超时配置支持 5、10、15 秒和禁用。最大超时配置支持在定义的时段内按住 ONOFF 按钮后请求断电所需的时间。
TEST_MODE	TEST_MODE 适合在 Freescale 工厂使用。用户必须将此引脚直接连接到 GND。

表 5. JTAG 控制器接口汇总

JTAG	I/O 类型	内部终端电阻
JTAG_TCK	输入	47 k Ω 上拉
JTAG_TMS	输入	47 k Ω 上拉
JTAG_TDI	输入	47 k Ω 上拉
JTAG_TDO	3 态输出	保持器
JTAG_TRSTB	输入	47 k Ω 上拉
JTAG_MOD	输入	100 k Ω 上拉

3.2 未使用模拟接口的建议连接

表 6 介绍未使用模拟接口的建议连接。

表 6. 未使用模拟接口的建议连接

模块	面板名称	未使用时的建议
CCM	CCM_CLK1_N, CCM_CLK1_P	Float
USB	USB_OTG1_CHD_B, USB_OTG1_DN, USB_OTG1_DP, USB_OTG1_VBUS, USB_OTG2_CHD_B, USB_OTG2_DN, USB_OTG2_DP, USB_OTG2_VBUS	Float
ADC	ADC_VREFH	连接至 VDDA_ADC_3P3
	VDDA_ADC_3P3	即使未使用 ADC, VDDA_ADC_3P3 也必须通电。

4 电气特性

本章节介绍了 i.MX 6UltraLite 处理器的器件和模块级电气特性。

4.1 芯片级条件

本节介绍了 IC 的器件级电气特性。请参见[表 7](#)，以快速参考各个表和章节。

表 7. i.MX 6UltraLite 芯片级条件

对于这些特性	显示主题
绝对最大额定值	第 21 页
热阻	第 21 页
工作范围	第 23 页
外部时钟源	第 24 页
最大供电电流	第 25 页
低功耗模式供电电流	第 27 页
USB PHY 电流消耗	第 28 页

4.1.1 绝对最大额定值

表 8. 绝对最大额定值

参数说明	符号	最小值	最大值	单位
内核供电电压	VDDSOC_IN	-0.3	1.5	V
内部供电电压	VDDARM_CAP VDDSOC_CAP	-0.3	1.3	V
GPIO 供电电压	NVCC_CSI NVCC_ENET NVCC_GPIO NVCC_UART NVCC_LCD NVCC_NAND NVCC_SD1	-0.5	3.6	V
DDR IO 供电电压	NVCC_DRAM	0.4	1.975	V
VDD_SNVS_IN 供电电压	VDD_SNVS_IN	-0.3	3.6	V
VDDHIGH_IN 供电电压	VDD_HIGH_IN	-0.3	3.6	V
USB VBUS	USB_OTG1_VBUS USB_OTG2_VBUS	—	5.5	V
USB_OTG_DP 和 USB_OTG_DN 引脚上的输入电压	USB_OTG1_DP/USB_OTG1_DN USB_OTG2_DP/USB_OTG2_DN	-0.3	3.63	V
输入 / 输出电压范围	V_{in}/V_{out}	-0.5	OVDD+0.3 ¹	V
ESD 抗损能力:	Vesd			
人体模型 (HBM)		—	2000	V
器件充电模型 (CDM)		—	500	
存储温度范围	TSTORAGE	-40	150	°C

¹ OVDD 是 I/O 供电电压。

4.1.2 热阻

4.1.2.1 14x14 MM (VM) 封装热阻抗

表 9 显示 14x14 MM (VM) 封装热阻抗数据。

表 9. 14x14 MM (VM) 热阻抗数据

额定值	测试条件	符号	值	单位	注释
结到外部环境 自然对流	单层板 (1s)	$R_{\theta JA}$	58.4	°C/W	1、2
结到外部环境 自然对流	四层板 (2s2p)	$R_{\theta JA}$	37.6	°C/W	1、2、3
结到外部环境 (@200 ft/min)	单层板 (1s)	$R_{\theta JMA}$	48.6	°C/W	1、3
结到外部环境 (@200 ft/min)	四层板 (2s2p)	$R_{\theta JMA}$	32.9	°C/W	1、3

表 9. 14x14 MM (VM) 热阻抗数据 (续)

额定值	测试条件	符号	值	单位	注释
结到板	—	$R_{\theta JB}$	21.8	$^{\circ}\text{C/W}$	4
结到管壳	—	$R_{\theta JC}$	19.3	$^{\circ}\text{C/W}$	5
结到封装顶部	自然对流	Ψ_{JT}	2.3	$^{\circ}\text{C/W}$	6
结到封装底部	自然对流	Ψ_{JB}	12.0	$^{\circ}\text{C/W}$	7

¹ 结温是裸片大小、片上功耗、封装热阻、安装环境（板）温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。

² 基于 SEMI G38-87 和 JEDEC JESD51-2 标准，在单层板水平方向。

³ 基于 JEDEC JESD51-6，在电路板水平方向。

⁴ 裸片和印刷电路板的热阻，基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。

⁵ 通过冷板方法测量裸片和外壳顶面之间的热阻 (MIL SPEC-883 Method 1012.1)。

⁶ 基于 JEDEC JESD51-2 标准，热特性参数表示封装顶部和结温之间的温差。未提供希腊字母时，散热特性参数写为 Ψ_{JT} 。

⁷ 基于 JEDEC JESD51-12 标准，热特性参数表示封装底部中心和结温之间的温差。未提供希腊字母时，散热特性参数写为 Ψ_{JB} 。

4.1.2.2 9x9 MM (VK) 封装热阻抗

表 10 显示 9x9 MM (VK) 热阻抗数据。

表 10. 9x9 MM (VK) 热阻抗数据

额定值	测试条件	符号	值	单位	注释
结到外部环境 自然对流	单层板 (1s)	$R_{\theta JA}$	65.6	$^{\circ}\text{C/W}$	1、2
结到外部环境 自然对流	四层板 (2s2p)	$R_{\theta JA}$	36.2	$^{\circ}\text{C/W}$	1、2、3
结到外部环境 (@200 ft/min)	单层板 (1s)	$R_{\theta JMA}$	51.2	$^{\circ}\text{C/W}$	1、3
结到外部环境 (@200 ft/min)	四层板 (2s2p)	$R_{\theta JMA}$	31.8	$^{\circ}\text{C/W}$	1、3
结到板	—	$R_{\theta JB}$	17.1	$^{\circ}\text{C/W}$	4
结到管壳	—	$R_{\theta JC}$	14.5	$^{\circ}\text{C/W}$	5
结到封装顶部	自然对流	Ψ_{JT}	0.6	$^{\circ}\text{C/W}$	6
结到封装底部	自然对流	Ψ_{JB_CSB}	11.1	$^{\circ}\text{C/W}$	7

¹ 结温是裸片大小、片上功耗、封装热阻、安装环境（板）温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。

² 基于 SEMI G38-87 和 JEDEC JESD51-2 标准，在单层板水平方向。

³ 基于 JEDEC JESD51-6，在电路板水平方向。

⁴ 裸片和印刷电路板的热阻，基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。

⁵ 通过冷板方法测量裸片和外壳顶面之间的热阻 (MIL SPEC-883 Method 1012.1)。

⁶ 基于 JEDEC JESD51-2 标准，热特性参数表示封装顶部和结温之间的温差。未提供希腊字母时，散热特性参数写为 Ψ_{JT} 。

⁷ 基于仿真时裸片和封装底部中央焊球之间的热阻。

4.1.3 工作范围

表 11 提供 i.MX 6UltraLite 处理器的工作范围。有关该芯片电源结构的详情，请参见 *i.MX 6UltraLite 参考手册 (IMX6ULRM)* 中的“电源管理单元 (PMU)”章节。

表 11. 工作范围

参数说明	符号	操作条件	最小值	典型值	最大值 ¹	单位	备注
运行模式： LDO 已使能	VDD_SOC_IN	—	1.275	—	1.5	V	VDD_SOC_IN 必须比 LDO 输出设置点 (VDD_ARM_CAP 和 VDD_SOC_CAP) 高 125mV，以提供正确的供电电压调节。
	VDD_ARM_CAP	A7 内核, 528 MHz	1.15	—	1.3	V	输出电压必须根据以下规则设置： • VDD_ARM_CAP ≤ VDD_SOC_CAP • VDD_SOC_CAP - VDD_ARM_CAP < 330 mV
		A7 内核, 396 MHz	1.00	—	1.3		
		A7 内核, 198 MHz	0.925	—	1.3		
	VDD_SOC_CAP	—	1.15	—	1.3	V	—
运行模式： LDO 已旁通	VDD_SOC_IN	—	1.15	—	1.3	V	—
挂起 (DSM) 模式	VDD_SOC_IN	—	0.90	—	1.3	V	请参阅 表 15, “低功耗模式电流和功耗,” 第 27 页。
VDD_HIGH 内部稳压器	VDD_HIGH_IN	—	2.80	—	3.6	V	必须与可充电备用电池支持的电压范围匹配。
备用电池电压范围	VDD_SNVS_IN ²	—	2.40	—	3.6	V	如果系统不需要保持实时以及其他数据处于关闭状态，该电源可与 VDDHIGH_IN 合并。
USB 电源电压	USB_OTG1_VBUS	—	4.40	—	5.5	V	—
	USB_OTG2_VBUS	—	4.40	—	5.5	V	—
DDR I/O 电源	NVCC_DRAM	LPDDR2	1.14	1.2	1.3	V	—
		DDR3L	1.28	1.35	1.45	V	—
		DDR3	1.43	1.5	1.575	V	—
	NVCC_DRAM2P5	—	2.25	2.5	2.75	V	—

表 11. 工作范围 (续)

GPIO 电压	NVCC_CSI	—	1.65	1.8, 2.8, 3.3	3.6	V	在正常情况下, 无论关联 I/O 引脚是否处于使用当中, 所有数字 I/O 电源 (NVCC_xxxx) 必须供电 (除非本数据手册中另有规定)。
	NVCC_ENET						
	NVCC_GPIO						
	NVCC_UART						
	NVCC_LCD						
	NVCC_NAND						
	NVCC_SD1						
A/D 转换器	VDDA_ADC_3P3	—	3.0	3.15	3.6	V	如果未使用 ADC, VDDA_ADC_3P3 也必须供电。当其他 SoC 电源 (除 VDD_SNVS_IN 外) 关断时, 不得给 VDDA_ADC_3P3 供电。
工作温度范围							
结温度	T _j	标准消费电子	0	—	95	°C	如需了解与此处理器的产品寿命 (上电年限) 相关的信息, 请参见应用笔记 “i.MX 6UltraLite 产品寿命使用估计”。

¹ 采用最大功耗和热生成量时的最大电压结果。飞思卡尔建议采用的电压设置点 = (V_{min} + 供电电压容差)。该结果是一个优化的功耗 / 速度比。

² 在设置与充电电流和 RTC 相关的 VDD_SNVS_IN 电压时, 请参阅 *i.MX 6UltraLite 硬件开发指南* (IMX6ULHDG)。

表 12 介绍可供片上负载的片上 LDO 稳压器。

表 12. 片上 LDO¹ 及其片上负载

电压源	加载	备注
VDD_HIGH_CAP	NVCC_DRAM_2P5	板级连接到 VDD_HIGH_CAP

¹ 片上 LDO 设计用于提供 i.MX6UltraLite 负载, 不得用于提供外部负载。

4.1.4 外部时钟源

每个 i.MX 6UltraLite 处理器均具有两个外部输入系统时钟: 一个低频 (RTC_XTALI) 和一个高频 (XTALI)。

RTC_XTALI 用于低频功能。它为唤醒电路、掉电实时时钟操作以及慢速系统和看门狗计数器提供时钟。该时钟输入可连接至外部振荡器或使用由内部振荡放大器驱动的晶体。此外, 还有一个内部环形振荡器, 在精度不是非常重要的情况下可用于代替 RTC_XTALI。

系统时钟输入 XTALI 用于生成主系统时钟。它为 PLL 和其他外设提供时钟。该系统时钟输入可连接至外部振荡器或使用由内部振荡放大器驱动的晶体。

表 13 介绍接口频率要求。

表 13. 外部输入时钟频率

参数说明	符号	最小值	典型值	最大值	单位
RTC_XTALI 振荡器 ^{1,2}	f_{ckil}	—	32.768 ³ / 32.0	—	kHz
XTALI 振荡器 ^{2,4}	f_{xtal}	—	24	—	MHz

¹ 外部振荡器或由内部振荡放大器驱动的晶体。
² 此时钟源所需的频率稳定性取决于应用。如需相关建议，请参见 *i.MX 6UltraLite 应用处理器* 的硬件开发指南 (IMX6ULHDG)。
³ 建议的标称频率为 32.768 kHz。
⁴ 外部振荡器或由内部振荡放大器驱动的基频晶体。

表 13 中所示的典型值与 Freescale BSP 结合使用，以确保实现精确的时间保持和 USB 操作。对于 RTC_XTALI 操作，可使用两个时钟源。

- 片上 40 kHz 环形振荡器 — 此时钟源具有以下特征：
 - I_{dd} 比晶体振荡器高约 25μA。
 - 约 ± 50% 容差。
 - 不需要外部组件。
 - 启动速度比 32 kHz 晶体振荡器更快。
- 带片上支持电路的外部晶体振荡器：
 - 上电时，使用环形振荡器。晶体振荡器稳定后，时钟电路自动切换至晶体振荡器。
 - 精度比环形振荡器更高。
 - 如果不存在外部晶体，则可使用环形振荡器。

应根据实时时钟使用和精确的超时来选择时钟源。

4.1.5 最大供电电流

表 14 中所示的数据表示特定应用实例的最大电流消耗。所有内核以定义的最大频率运行，并且限制只能访问 L1 缓存，以确保管道不会阻塞。尽管是合法的条件，但其实际应用是非常有限的，即使有，也限制为极低的占空比，是专门用来展示最差的功耗情况。

请参见 i.MX 6UltraLite 功耗测量应用笔记 (AN5170)，以了解与不同用例定义下的典型功耗相关的更多详情。

表 14. 最大电源电流

电源线路	条件	最大电流	单位
VDD_SOC_IN	基于 Dhrystone 测试的 528 MHz ARM 时钟	500	mA
VDD_HIGH_IN	—	125 ¹	mA
VDD_SNVS_IN	—	500 ²	μA
USB_OTG1_VBUS USB_OTG2_VBUS	—	50 ³	mA
VDDA_ADC_3P3	触摸面板的最大负载为 100 Ohm	35	mA
主接口 (IO) 电源			
NVCC_DRAM	—	(参见 ⁴)	—
NVCC_DRAM_2P5	—	50	mA
NVCC_GPIO	N = 16	使用最大 IO 等式 ⁵	—
NVCC_UART	N = 16	使用最大 IO 等式 ⁵	—
NVCC_ENET	N = 16	使用最大 IO 等式 ⁵	—
NVCC_LCD	N = 29	使用最大 IO 等式 ⁵	—
NVCC_NAND	N = 17	使用最大 IO 等式 ⁵	—
NVCC_SD	N = 6	使用最大 IO 等式 ⁵	—
NVCC_CSI	N = 12	使用最大 IO 等式 ⁵	—
MISC			
DRAM_VREF	—	1	mA

¹ VDD_HIGH_IN 消耗的实际最大电流为所示值加 VDD_HIGH_CAP 输出消耗的任何其他电流，具体取决于实际应用配置（例如，NVCC_DRAM_2P5 电源）。

² 最大 VDD_SNVS_IN 电流可能更高，具体取决于特定操作配置，例如 BOOT_MODE[1:0] 不等于 00 或者使用 Tamper 功能。在初始上电过程中，VDD_SNVS_IN 可消耗最高支持 1 mA 电流。如果供电能力低于 1 mA，则 VDD_SNVS_CAP 充电时间将增加。

³ 每个有效 USB 物理接口的最大电流。

⁴ DRAM 功耗取决于数个因素，如外部信号端接。DRAM 功率计算器一般可从存储器供应商处获取。它们考虑了多个因素，如信号端接。请参见 *i.MX 6UltraLite 功耗测量应用笔记* (AN5170) 或特定用例情况下的 DRAM 功耗示例。

⁵ 估算 IO 电源最大功耗的通用公式：

$$I_{max} = N \times C \times V \times (0.5 \times F)$$

其中：

N — 电源线路提供的 IO 引脚数

C — 等效外部电容负载

V — IO 电压

(0.5 xF) 数据变化率。最高到时钟速率的 50% (F)

在此等式中，I_{max} 单位为 Amps，C 单位为 Farad，V 单位为 Volts，F 单位为 Hertz。

4.1.6 低功耗模式供电电流

表 15 介绍 i.MX 6UltraLite 处理器在选定低功耗模式下的内核电流消耗（不包括 I/O）。

表 15. 低功耗模式电流和功耗

模式	测试条件	电源	典型值 ¹	单元
系统闲置： 已启用 LDO	- LDO_ARM 和 LDO_SOC 设为 1.15 V - LDO_2P5 设为 2.5 V，LDO_1P1 设为 1.1 V - CPU 处于 WFI 中，CPU 时钟关闭 - DDR 处于自动刷新模式 24 MHz XTAL 开启 528 PLL 激活，其他 PLL 掉电 - 高速外设时钟关闭，但仍供电	VDD_SOC_IN (1.275 V)	7.7	mA
		VDD_HIGH_IN (3.0 V)	7.3	
		VDD_SNVS_IN (3.0 V)	0.06	
		总计	31.9	mW
系统闲置： LDO 已旁通	- LDO_ARM 和 LDO_SOC 设为旁通模式 - LDO_2P5 设为 2.5 V，LDO_1P1 设为 1.1 V - CPU 处于 WFI 中，CPU 时钟关闭 - DDR 处于自动刷新模式 24 MHz XTAL 开启 528 PLL 激活，其他 PLL 掉电 - 高速外设时钟关闭，但仍供电	VDD_SOC_IN (1.15 V)	7.5	mA
		VDD_HIGH_IN (3.0 V)	6.3	
		VDD_SNVS_IN (3.0 V)	0.06	
		总计	27.7	mW
低功耗闲置： 已启用 LDO	- LDO_SOC 设为 1.15 V，LDO_ARM 处于 PG 模式 - LDO_2P5 和 LDO_1P1 设为弱模式 - CPU 处于电源关闭模式 - DDR 处于自动刷新模式 - 所有 PLL 掉电 24 MHz XTAL 关闭，24 MHz RCOSC 用作时钟源 - 高速外设断电	VDD_SOC_IN (1.275 V)	6.2	mA
		VDD_HIGH_IN (3.0 V)	1.5	
		VDD_SNVS_IN (3.0 V)	0.05	
		总计	12.6	mW
低功耗闲置： LDO 已旁通	- LDO_SOC 处于旁通模式，LDO_ARM 处于 PG 模式 - LDO_2P5 和 LDO_1P1 设为弱模式 - CPU 处于电源关闭模式 - DDR 处于自动刷新模式 - 所有 PLL 掉电 24 MHz XTAL 关闭，24 MHz RCOSC 用作时钟源 - 高速外设断电	VDD_SOC_IN (1.15 V)	5.0	mA
		VDD_HIGH_IN (3.0 V)	0.3	
		VDD_SNVS_IN (3.0 V)	0.04	
		总计	6.8	mW
挂起 (DSM)	- LDO_SOC 处于旁通模式，LDO_ARM 处于 PG 模式 - LDO_2P5 和 LDO_1P1 关闭 - CPU 处于电源关闭模式 - DDR 处于自动刷新模式 - 所有 PLL 掉电 24 MHz XTAL 关闭，24 MHz RCOSC 关闭 - 所有时钟关闭，32 kHz RTC 除外 - 高速外设断电	VDD_SOC_IN (0.9 V)	0.44	mA
		VDD_HIGH_IN (3.0 V)	0.03	
		VDD_SNVS_IN (3.0 V)	0.03	
		总计	0.58	mW
SNVS (RTC)	- 所有 SOC 数字逻辑，模拟模块关闭 32 kHz RTC 有效 - Tamper 检测电路保持激活	VDD_SOC_IN (0 V)	0	mA
		VDD_HIGH_IN (0 V)	0	
		VDD_SNVS_IN (3.0 V)	0.13	
		总计	0.39	mW

¹ 制造厂内的典型工艺材料

4.1.7 USB PHY 电流消耗

4.1.7.1 掉电模式

在掉电模式下，所有器件均掉电，包括典型条件下的 USB VBUS 有效检测器。表 16 介绍了掉电模式下的 USB 接口电流消耗。

表 16. 掉电模式下 USB PHY 的电流消耗

	VDD_USB_CAP (3.0 V)	VDD_HIGH_CAP (2.5 V)	NVCC_PLL (1.1 V)
电流	5.1 μ A	1.7 μ A	< 0.5 μ A

附注

VDD_HIGH_CAP 和 VDD_USB_CAP 上的电流被标识为特定 USB 电平位移器中的分压电路。

4.2 电源要求和限制

此系统设计必须符合本章节所述的上电序列、掉电序列和稳态原则，以确保器件实现可靠工作。与这些序列存在任何偏差均可能导致出现以下情况：

- 上电阶段的电流过大
- 器件无法启动
- 对处理器造成不可逆损坏（最坏情形）

4.2.1 上电顺序

必须遵循以下限制：

- VDD_SNVS_IN 必须单独或与 VDD_HIGH_IN 一起（短接）上电，在这之后其他电源才能上电。
- 如果使用纽扣电池为 VDD_SNVS_IN 供电，请确保在开启任何其他电源之前将其连接。
- 应在 VDD_SOC_IN 之前开启 VDD_HIGH_IN。

附注

必须在上电时立即拉低 POR_B 输入（如使用）并保持拉低，直到最后一个电源轨达到其工作电压。如果不存在控制 POR_B 输入的外部复位，则由内部 POR 模块控制。有关其他详情，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)，以确保满足所有必要要求。

附注

必须确保电路板上的任何电源不存向 3.3 V 电源的倒灌（泄漏）（例如，来自使用 1.8 V 和 3.3 V 电源的外部组件）。

附注

USB_OTG1_VBUS、USB_OTG2_VBUS 和 VDDA_ADC_3P3 不是供电序列的一部分，可以随时上电。

4.2.2 掉电序列

必须遵循以下限制：

- VDD_SNVIS_IN 必须单独或与 VDD_HIGH_IN 一起（短接）下电，在这之前其他电源必须全部完成下电。
- 如果使用纽扣电池为 VDD_SNVIS_IN 供电，请确保在关闭任何其他电源之后将其移除。

附注

应在关闭 VDD_SOC_IN 之后关闭 VDD_HIGH_IN。

4.2.3 电源使用

当引脚 (NVCC_XXX) 的 I/O 电源关闭时，所有 I/O 引脚不得从外部驱动。这会因反向电流而导致内部锁存和故障。与每个引脚的 I/O 电源相关的信息，请参见第 6 节，“封装信息和引脚分配”引脚列表中的“电源轨”列。

4.3 集成 LDO 稳压器参数

可通过内部 LDO 稳压器接通各种内部电源。以 *_CAP 命名的所有电源引脚必须连接至外部电容器。板上 LDO 仅供内部使用，不得用于为外部电路供电。有关电源树方案的详情，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)。

附注

不得从外部为 *_CAP 信号供电。这些信号仅供内部 LDO 操作。

4.3.1 数字稳压器 (LDO_ARM、LDO_SOC)

有两个数字 LDO 稳压器 (“数字”是缘于其驱动的逻辑负载，而不是因为其结构)。稳压器的优势在于减少输入因输入电源纹波抑制及其片上调整所导致的输入电源变化。这可转换成适合片上逻辑的更稳定电压。

这些稳压器具有两种基本模式：

- 电源门控。稳压 FET 完全关闭，以限制电源的电流消耗。此时，该稳压器的模拟部分掉电，以限制功耗。
- 模拟稳压模式。稳压 FET 经过控制，从而使稳压器的输出电压等于编程的目标电压。可以 25 mV 步长对目标电压完全编程。

有关其他信息，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)。

4.3.2 用于模拟模块的稳压器

4.3.2.1 LDO_1P1

LDO_1P1 稳压器通过 VDD_HIGH_IN 使用可编程线性稳压器功能（请参见表 11，以了解最小和最大输入要求）。典型的编程工作范围为 1.0 V 至 1.2 V，默认的标称设置为 1.1 V。LDO_1P1 为 USB Phy 和 PLL 供电。可编程掉电检测器包括在稳压器中，系统可用其确定超出稳压器负载能力的时间，以采取必要的措施。需要时，可以启用电流限制功能，以达到启动期间的浪涌电流要求。对于需要此功能的系统，还可以启用有效下拉功能。

如需与此稳压器外部电容器要求相关的信息，请参见 *i.MX 6UltraLite 应用处理器* 的硬件开发指南 (IMX6ULHDG)。

有关其他信息，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)。

4.3.2.2 LDO_2P5

LDO_2P5 模块通过 VDD_HIGH_IN 使用可编程线性稳压器功能（请参见表 11，以了解最小和最大输入要求）。典型的编程工作范围为 2.25 V 至 2.75 V，默认的标称设置为 2.5 V。LDO_2P5 为 DDR IO、USB Phy、E-fuse 模块和 PLL 供电。可编程掉电检测器包括在稳压器中，系统可用其确定超出稳压器负载能力的时间，以采取必要的措施。需要时，可以启用电流限制功能，以达到启动期间的浪涌电流要求。对于需要此功能的系统，还可以启用有效下拉功能。包含一个备用自偏置低精度弱稳压器，可以在下述应用中启用：需要在低功耗模式下保持输出电压有效，在低功耗模式下，主稳压器驱动器及其关联的全局带隙参考模块禁用。弱稳压器的输出不可编程，它是输入电源以及负载电流的函数。一般来说，如果输入电源为 3 V，则弱稳压器输出为 2.525 V 且其输出阻抗约为 40 Ω 。

如需与此稳压器外部电容器要求相关的信息，请参见 *i.MX 6UltraLite 应用处理器* 的硬件开发指南 (IMX6ULHDG)。

有关其他信息，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)。

4.3.2.3 LDO_USB

该 LDO_USB 模块通过 USB VUSB 电压 (4.4 V–5.5 V) 使用可编程线性稳压器功能，以生成标称 3.0 V 输出电压。可编程掉电检测器包括在稳压器中，系统可用其确定超出稳压器负载能力的时间，以采取必要的措施。该稳压器具有一个内置电源多路复用器，以允许用户选择通过任一 USB VBUS 电源运行此稳压器（如两者均存在）。如果仅存在其中一个 USB VBUS 电压，则稳压器将自动选择此电源。此外，还包括电流限制，以帮助系统达到浪涌电流要求。

如需与此稳压器外部电容器要求相关的信息，请参见 *i.MX 6UltraLite 应用处理器* 的硬件开发指南 (IMX6ULHDG)。

有关其他信息，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)。

4.4 PLL 电气特性

4.4.1 音频 / 视频 PLL 电气参数

表 17. 音频 / 视频 PLL 电气参数

参数	值
时钟输出范围	650 MHz ~1.3 GHz
基准时钟	24 MHz
锁存时间	<11250 个基准周期

4.4.2 528 MHz PLL

表 18. 528 MHz PLL 电气参数

参数	值
时钟输出范围	528 MHz PLL 输出
基准时钟	24 MHz
锁存时间	<11250 基准周期

4.4.3 以太网 PLL

表 19. 以太网 PLL 电气参数

参数	值
时钟输出范围	500 MHz
基准时钟	24 MHz
锁存时间	<11250 基准周期

4.4.4 480 MHz PLL

表 20. 480 MHz PLL 电气参数

参数	值
时钟输出范围	480 MHz PLL 输出
基准时钟	24 MHz
锁存时间	<383 基准周期

4.4.5 ARM PLL

表 21. ARM PLL 电气参数

参数	值
时钟输出范围	648 MHz ~ 1296 MHz
基准时钟	24 MHz
锁存时间	<2250 个基准周期

4.5 片上振荡器

4.5.1 OSC24M

该模块使用放大器结合合适的石英晶体和外部负载电容形成振荡器。该振荡器通过 NVCC_PLL 供电。

该系统晶体振荡器包含一个消耗数字电源的 Pierce 类型结构。使用直观偏置反向器设置。

4.5.2 OSC32K

该模块使用放大器结合合适的石英晶体和外部负载电容形成低功耗振荡器。它还集成了电源多路复用器，使其可通过 ~3 V 备用电池 (VDD_SNVS_IN) 或 VDD_HIGH_IN 供电，因此，该振荡器在 VDD_HIGH_IN 可用时，可消耗此电源的电源，并在 VDD_HIGH_IN 丢失时转换至备用电池。

此外，如果时钟监测器确定不存在 OSC32K，则 32 K 时钟源将自动切换至内部简单的环形振荡器。此模块的频率范围约为 10–45 kHz。它在很大程度上取决于工艺、电压和温度。

OSC32k 属于 VDD_SNVIS_CAP 电源域，后者来自 VDD_HIGH_IN/VDD_SNVIS_IN。目标电池为 ~3 V 纽扣电池。必须针对选定的 VDD_HIGH_IN 范围选择适当类型的纽扣电池。连接纽扣电池时，必须使用适当的串联电阻器 (Rs)。Rs 取决于所选纽扣电池的充电电流限制。例如，对于 Panasonic ML621：

- 平均放电电压为 2.5 V
- 最大充电电流为 0.6 mA

对于 3.2V 充电电压， $R_s = (3.2 - 2.5) / 0.6\text{mA} = 1.17\text{k}\Omega$ 。

表 22. OSC32K 主要特性

	最小值	典型值	最大值	备注
Fosc	—	32.768 KHz	—	该频率为标称频率，主要由选择的晶体决定。32.0 K 也有效。
电流消耗	—	4 μA	—	4 μA 为振荡器单独的电流消耗 (OSC32k)。总电源功耗取决于 RTC 数字部分的功耗。当环形振荡器未运行时，其消耗的电流为 1 μA ，运行时消耗的电流为 20 μA 。power_detect 模块中的 vdd_rtc 另外消耗 1.5 μA 电流。因此，环形振荡器未运行时 vdd_rtc 消耗的总电流为 6.5 μA 。
偏置电阻器	—	14 M Ω	—	这是一个集成式偏置电阻器，用于将放大器设为高增益状态。任何 ESD 网络泄漏、外部板泄漏甚至是与此值显著相关的示波器探头将会解除电流偏置。解除偏置将导致低增益，这将影响电路启动和维持振荡的能力。
晶体属性				
Cload	—	10 pF	—	通常情况下，可以购买已针对不同 Cload 调谐的晶体。此 Cload 值通常为 PCB 上石英晶体任意侧上电容的一半。较高 Cload 将降低振荡容限，但会增加晶体内的电流振荡。
ESR	—	50 k Ω	100 k Ω	晶体的等效串联电阻。选择具有较高值的晶体将会降低振荡容限。

4.6 I/O 直流参数

本章节包括以下 I/O 类型的直流参数：

- 通用 I/O (GPIO)
- LPDDR2 和 DDR3 模式下的双数据速率 I/O (DDR)

附注

本章节中的术语 “OVDD” 是指输入或输出的关联电源轨。

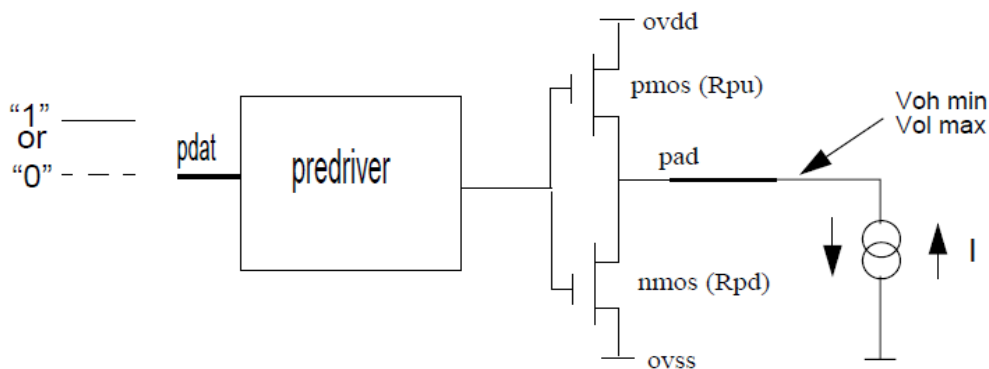


图 3. I/O 单元的 Voh 和 Vol 参数电路

4.6.1 XTALI 和 RTC_XTALI（时钟输入）直流参数

表 23 介绍此时钟输入的直流参数。

表 23. XTALI 和 RTC_XTALI 直流参数

参数	符号	测试条件	最小值	最大值	单位
XTALI 高电平直流输入电压	Vih	—	0.8 x NVCC_PLL	NVCC_PLL	V
XTALI 低电平直流输入电压	Vil	—	0	0.2V	V
RTC_XTALI 高电平直流输入电压	Vih	—	0.8	1.1	V
RTC_XTALI 低电平直流输入电压	Vil	—	0	0.2V	V

4.6.2 信号电压通用 I/O (GPIO) 直流参数

表 24 介绍 GPIO 管脚的直流参数。除非另有规定，否则确保表 24 中的参数在表 11 中的工作范围内。

表 24. 信号电压 GPIO 直流参数

参数	符号	测试条件	最小值	最大值	单元
高电平输出电压 ¹	V _{OH}	loh = -0.1mA (ipp_dse = 001,010) loh = -1mA (ipp_dse=011,100,101,110,111)	OVDD-0.15	—	V
低电平输出电压 ¹	V _{OL}	lol=0.1mA (ipp_dse = 001,010) lol = 1mA (ipp_dse = 011,100,101,110,111)	—	0.15	V
高电平输入电压 ^{1、2}	V _{IH}	—	0.7*OVDD	OVDD	V
低电平输入电压 ^{1、2}	V _{IL}	—	0	0.3*OVDD	V
输入迟滞 (OVDD = 1.8V)	VHYS_LowVDD	OVDD = 1.8V	250	—	mV
输入迟滞 (OVDD = 3.3V)	VHYS_HighVDD	OVDD = 3.3V	250	—	mV
施密特触发器 VT+ ^{2、3}	V _{TH+}	—	0.5*OVDD	—	mV

表 24. 信号电压 GPIO 直流参数（续）

参数	符号	测试条件	最小值	最大值	单元
施密特触发器 VT- ^{2、3}	VTH-	—	—	0.5*OVDD	mV
上拉电阻 (22_kΩ PU)	RPU_22K	Vin = 0V	—	212	uA
上拉电阻 (22_kΩ PU)	RPU_22K	Vin = OVDD	—	1	uA
上拉电阻 (47_kΩ PU)	RPU_47K	Vin = 0V	—	100	uA
上拉电阻 (47_kΩ PU)	RPU_47K	Vin = OVDD	—	1	uA
上拉电阻 (100_kΩ PU)	RPU_100K	Vin = 0V	—	48	uA
上拉电阻 (100_kΩ PU)	RPU_100K	Vin = OVDD	—	1	uA
下拉电阻 (100_kΩ PD)	RPD_100K	Vin = OVDD	—	48	uA
下拉电阻 (100_kΩ PD)	RPD_100K	Vin = 0V	—	1	uA
输入电流（无 PU/PD）	IIN	VI = 0, VI = OVDD	-1	1	uA
保持器电路电阻	R_Keeper	VI = 0.3*OVDD, VI = 0.7* OVDD	105	175	kΩ

¹ 跳变的芯片管脚上过冲和欠冲条件（高于 OVDD 和低于 GND 的转换）必须保持在 0.6 V 以下，且过冲 / 欠冲的持续时间不得超过系统时钟周期的 10%。过冲 / 欠冲必须通过印刷电路板布局、传输线路阻抗匹配、信号线路终端或其他方法控制。不符合此规范可能会影响设备的可靠性或对器件造成永久损坏。

² 为了维持有效级别电平，输入转换边沿必须将压摆率保持在当前 DC 水平至目标 DC 水平（Vil 或 Vih）之间的一个常数（单调）。单调输入转换时间为 0.1 ns 至 1 s。

³ 使能迟滞时，将在所有工作条件下保证 250 mV 迟滞。

4.6.3 DDR I/O 直流参数

DDR I/O 管脚支持 LPDDR2 和 DDR3/DDR3L 工作模式。

4.6.3.1 LPDDR2 模式 I/O 直流参数

LPDDR2 接口设计兼容 2009 年 6 月发布的 JESD209-2B LPDDR2 JEDEC 标准。

表 25. LPDDR2 I/O DC 电气参数¹

参数	符号	测试条件	最小值	最大值	单位
高电平输出电压	VOH	Ioh = -0.1mA	0.9*OVDD	—	V
低电平输出电压	VOL	Iol = 0.1mA	—	0.1*OVDD	V
输入参考电压	Vref	—	0.49*OVDD	0.51*OVDD	V
直流高电平输入电压	Vih_DC	—	Vref+0.13	OVDD	V
直流低电平输入电压	Vil_DC	—	OVSS	Vref-0.13	V
高电平差分输入逻辑	Vih_diff	—	0.26	注释 ²	—
低电平差分输入逻辑	Vil_diff	—	注释 ³	-0.26	—

表 25. LPDDR2 I/O DC 电气参数¹ (续)

参数	符号	测试条件	最小值	最大值	单位
上拉 / 下拉阻抗不匹配	Mmpupd	—	-15	15	%
240 Ω 单元校准分辨率	Rres	—	—	10	Ω
保持器电路电阻	Rkeep	—	110	175	k Ω
输入电流 (无上拉 / 下拉)	lin	VI = 0, VI = OVDD	-2.5	2.5	μ A

¹ 请注意, JEDEC LPDDR2 规格 (JESD209_2B) 替代本文档中的任何规格。

² 单端信号需要处于单端信号对应的限值 (Vih(dc) 最大、Vil(dc) 最小) 以及过冲和欠冲限值内。

4.6.3.2 DDR3/DDR3L 模式 I/O 直流参数

DDR3/DDR3L 接口设计兼容 2008 年 4 月发布的 JESD79-3D DDR3 JEDEC 标准。除非另有规定, 否则确保表 27 中的参数在表 11 中的工作范围内。

表 27. DDR3/DDR3L I/O 直流电气特性

参数	符号	测试条件	最小值	最大值	单位
高电平输出电压	VOH	Ioh = -0.1mA Voh (当 ipp_dse = 001 时)	0.8*OVDD ¹	—	V
低电平输出电压	VOL	Iol = 0.1mA Vol (当 ipp_dse = 001 时)	0.2*OVDD	—	V
高电平输出电压	VOH	Ioh = -1mA Voh (全部, 除 ipp_dse = 001 外)	0.8*OVDD	—	V
低电平输出电压	VOL	Iol = 1mA Vol (全部, 除 ipp_dse = 001 外)	0.2*OVDD	—	V
输入参考电压	Vref	—	0.49*ovdd	0.51*ovdd	V
直流高电平输入电压	Vih_DC	—	Vref ² + 0.1	OVDD	V
直流低电平输入电压	Vil_DC	—	OVSS	Vref-0.1	V
高电平差分输入逻辑	Vih_diff	—	0.2	参见注释 ³	V
低电平差分输入逻辑	Vil_diff	—	参见注释 ³	-0.2	V
终端电压	Vtt	Vtt 跟踪 OVDD/2	0.49*OVDD	0.51*OVDD	V
上拉 / 下拉阻抗不匹配	Mmpupd	—	-10	10	%
240 Ω 单元校准分辨率	Rres	—	—	10	Ω
保持器电路电阻	Rkeep	—	105	165	k Ω
输入电流 (无上拉 / 下拉)	lin	VI = 0, VI = OVDD	-2.9	2.9	μ A

¹ OVDD – I/O 电源 (对于 DDR3 为 1.425 V–1.575 V, 对于 DDR3L 为 1.283 V–1.45 V)。

² Vref – DDR3/DDR3L 外部参考电压。

³ 单端信号需要处于单端信号对应的限值 (Vih(dc) 最大、Vil(dc) 最小) 以及过冲和欠冲限值内。

4.6.4 LVDS I/O 直流参数

LVDS 接口符合 TIA/EIA 644-A 标准。有关详情，请参见 TIA/EIA STANDARD 644-A “低压差分信号 (LVDS) 接口电路的电气特性”。

表 28 介绍低压差分信号 (LVDS) I/O 直流参数。

表 28. LVDS I/O DC 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
输出差分电压	VOD	Rload=100 Ω Diff	250	350	450	mV
输出高电压	VOH	IOH = 0 mA	1.25	1.375	1.6	V
输出低电压	VOL	IOL = 0 mA	0.9	1.025	1.25	V
偏移电压	VOS	—	1.125	1.2	1.375	V

4.7 I/O 交流参数

本章节包括以下 I/O 类型的交流参数：

- 通用 I/O (GPIO)
- LPDDR2 和 DDR3/DDR3L 模式下的双数据速率 I/O (DDR)

GPIO 和 DDR I/O 负载电路和输出转换时间波形如图 4 和图 5 所示。

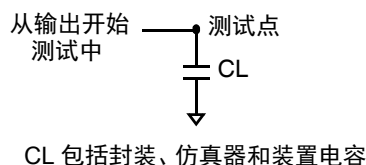


图 4. 输出负载电路

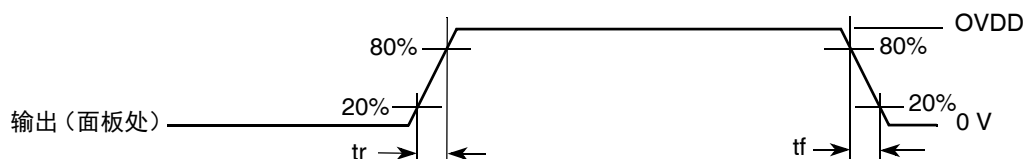


图 5. 输出转换时间波形

4.7.1 通用 I/O 交流参数

慢速和快速模式下 GPIO 的 I/O 交流参数分别位于表 29 和表 30 中。请注意，快速或慢速 I/O 行为由 IOMUXC 控制器寄存器中相应的控制位决定。

表 29. 通用 I/O 交流参数 1.8 V 模式

参数	符号	测试条件	最小值	典型值	最大值	单位
输出面板转换时间, 上升 / 下降 (最大驱动, ipp_dse = 111)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	2.72/2.79 1.51/1.54	ns
输出面板转换时间, 上升 / 下降 (高电平驱动, ipp_dse = 101)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	3.20/3.36 1.96/2.07	
输出面板转换时间, 上升 / 下降 (中等驱动, ipp_dse = 100)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	3.64/3.88 2.27/2.53	
输出面板转换时间, 上升 / 下降 (低电平驱动, ipp_dse = 011)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	4.32/4.50 3.16/3.17	
输入转换时间 ¹	trm	—	—	—	25	ns

¹ 对于转换时间大于 25 ns 的输入, 建议使用迟滞模式。

表 30. 通用 I/O 交流参数 3.3 V 模式

参数	符号	测试条件	最小值	典型值	最大值	单位
输出面板转换时间, 上升 / 下降 (最大驱动, ipp_dse = 101)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	1.70/1.79 1.06/1.15	ns
输出面板转换时间, 上升 / 下降 (高驱动, ipp_dse = 011)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	2.35/2.43 1.74/1.77	
输出面板转换时间, 上升 / 下降 (中等驱动, ipp_dse = 010)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	3.13/3.29 2.46/2.60	
输出面板转换时间, 上升 / 下降 (低电平驱动, ipp_dse = 001)	tr, tf	15 pF Cload, 慢压摆率 15 pF Cload, 快压摆率	—	—	5.14/5.57 4.77/5.15	ns
输入转换时间 ¹	trm	—	—	—	25	ns

¹ 对于转换时间大于 25 ns 的输入, 建议使用迟滞模式。

4.7.2 DDR I/O 交流参数

LPDDR2 接口设计兼容 2009 年 6 月发布的 JESD209-2B LPDDR2 JEDEC 标准。DDR3/DDR3L 接口设计兼容 2008 年 4 月发布的 JESD79-3D DDR3 JEDEC 标准。

表 31 介绍 LPDDR2 模式下 DDR I/O 操作的交流参数。

表 31. DDR I/O LPDDR2 模式交流参数¹

参数	符号	测试条件	最小值	最大值	单位
交流高输入逻辑	Vih(ac)	—	Vref + 0.22	OVDD	V
交流低输入逻辑	Vil(ac)	—	0	Vref - 0.22	V
交流差分输入高电压 ²	Vidh(ac)	—	0.44	—	V
交流差分输入低电压	Vidl(ac)	—	—	0.44	V

表 31. DDR I/O LPDDR2 模式交流参数¹ (续)

参数	符号	测试条件	最小值	最大值	单位
输入交流差分交叉点电压 ³	Vix(ac)	相对于 Vref	-0.12	0.12	V
过冲 / 欠冲峰值	Vpeak	—	—	0.35	V
过冲 / 欠冲区域 (高于 OVDD 或低于 OVSS)	Varea	400 MHz	—	0.3	V-ns
Vol (ac) 和 Voh (ac) 之间测得的单输出压摆率	tsr	50 Ω 至 Vref。 5 pF 负载。 驱动阻抗 = 40 $\Omega \pm 30\%$	1.5	3.5	V/ns
		50 Ω 至 Vref。 5pF 负载。驱动阻抗 = 60 $\Omega \pm 30\%$	1	2.5	
焊盘上升 / 下降不对称之间的压摆 + SSN 引起的压摆	t _{SKD}	clk = 400 MHz	—	0.1	ns

¹ 请注意, JEDEC LPDDR2 规格 (JESD209_2B) 替代本文档中的任何规格。

² Vid(ac) 指定开关所需的输入差分电压 | Vtr - Vcp |, 其中, Vtr 为“真正的”输入信号, Vcp 为“互补”输入信号。最小值等于 Vih(ac) - Vil(ac)。

³ Vix(ac) 的典型值大约应为 0.5 x OVDD, Vix(ac) 应跟踪 OVDD 的变化。Vix(ac) 表示差分输入信号的交叉电压。

表 32 介绍 DDR3/DDR3L 模式下 DDR I/O 操作的交流参数。

表 32. DDR I/O DDR3/DDR3L 模式交流参数¹

参数	符号	测试条件	最小值	典型值	最大值	单位
交流高输入逻辑	Vih(ac)	—	Vref + 0.175	—	OVDD	V
交流低输入逻辑	Vil(ac)	—	0	—	Vref - 0.175	V
交流差分输入电压 ²	Vid(ac)	—	0.35	—	—	V
输入交流差分交叉点电压 ³	Vix(ac)	相对于 Vref	Vref - 0.15	—	Vref + 0.15	V
过冲 / 欠冲峰值	Vpeak	—	—	—	0.4	V
过冲 / 欠冲区域 (高于 OVDD 或低于 OVSS)	Varea	400 MHz	—	—	0.5	V-ns
Vol (ac) 和 Voh (ac) 之间测得的单输出压摆率	tsr	驱动器阻抗 = 34 Ω	2.5	—	5	V/ns
焊盘上升 / 下降不对称之间的压摆 + SSN 引起的压摆	t _{SKD}	clk = 400 MHz	—	—	0.1	ns

¹ 请注意, JEDEC JESD79-3D 规格替代本文档中的任何规格。

² Vid(ac) 特指开关所需的输入差分电压 | Vtr - Vcp |, 其中, Vtr 为“真正的”输入信号, Vcp 为“互补”输入信号。最小值等于 Vih(ac) - Vil(ac)。

³ Vix(ac) 的典型值大约应为 0.5 x OVDD, Vix(ac) 应跟踪 OVDD 的变化。Vix(ac) 表示差分输入信号的交叉电压。

4.8 输出缓冲区阻抗参数

本章节定义了 i.MX 6UltraLite 处理器以下 I/O 类型的 I/O 阻抗参数：

- 信号电压通用 I/O (GPIO)
- LPDDR2 和 DDR3/DDR3L 模式下的双数据速率 I/O (DDR)

附注

GPIO 和 DDR I/O 的输出阻抗是通过连接到 I/O 管脚的“长”传输线的阻抗 Z_{tl} 和入射到传输线的波来实现的。 R_{pu}/R_{pd} 和 Z_{tl} 形成分压电路，以定义相对于 OVDD 的特定入射波电压。输出驱动器阻抗通过此分压电路计算（请参见图 6）。

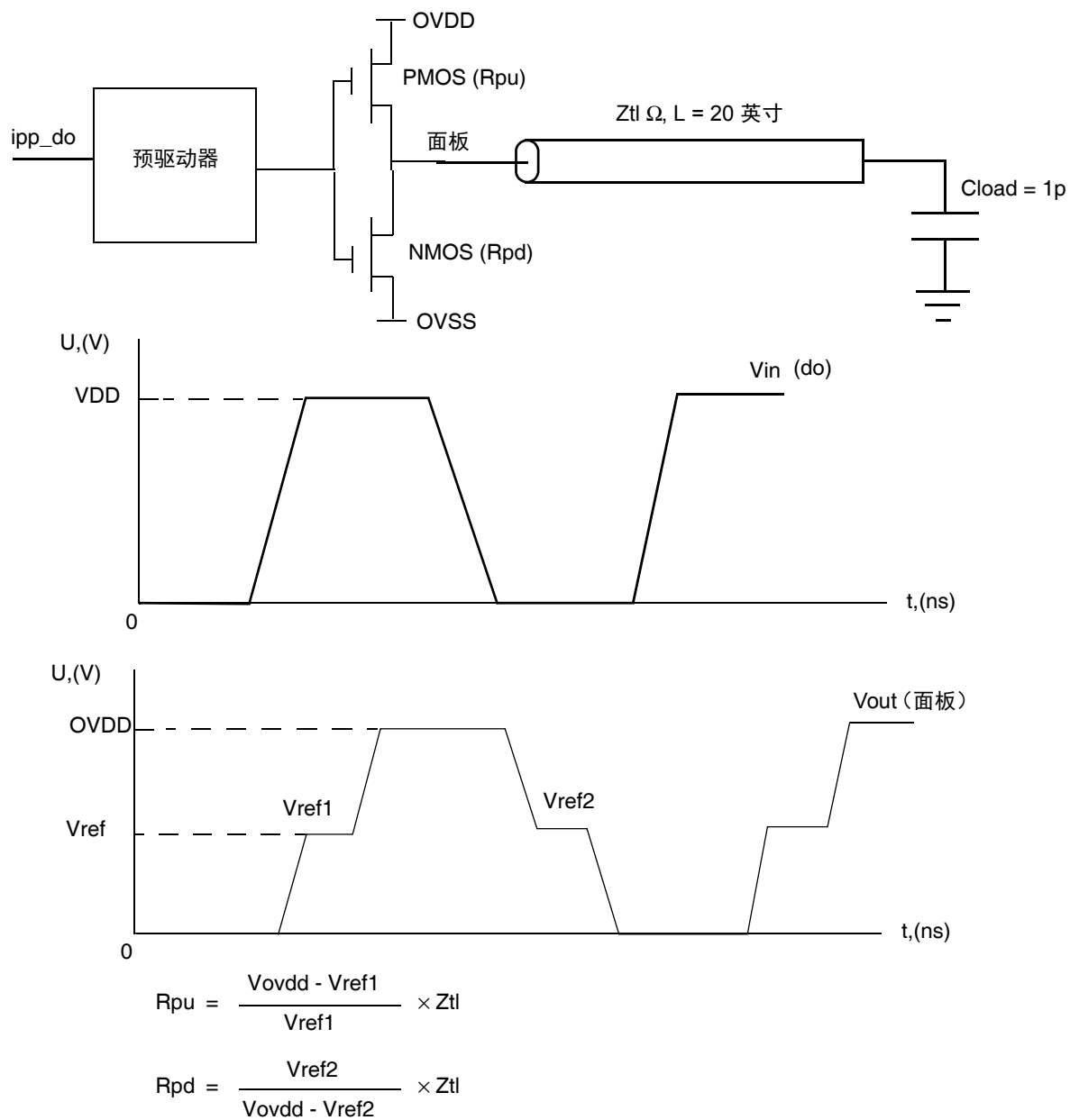


图 6. 用于测量的阻抗匹配负载

4.8.1 单电压 GPIO 输出缓冲区阻抗

表 33 介绍 GPIO 输出缓冲区阻抗 (OVDD 1.8 V)。

表 33. GPIO 输出缓冲区平均阻抗 (OVDD 1.8 V)

参数	符号	驱动强度 (DSE)	典型值	单位
输出驱动器 阻抗	Rdrv	001	260	Ω
		010	130	
		011	88	
		100	65	
		101	52	
		110	43	
		111	37	

表 34 介绍 GPIO 输出缓冲区阻抗 (OVDD 3.3 V)。

表 34. GPIO 输出缓冲区平均阻抗 (OVDD 3.3 V)

参数	符号	驱动强度 (DSE)	典型值	单位
输出驱动器 阻抗	Rdrv	001	157	Ω
		010	78	
		011	53	
		100	39	
		101	32	
		110	26	
		111	23	

4.8.2 DDR I/O 输出缓冲区阻抗

LPDDR2 接口设计兼容 2009 年 6 月发布的 JESD209-2B LPDDR2 JEDEC 标准。DDR3 接口设计兼容 2008 年 4 月发布的 JESD79-3D DDR3 JEDEC 标准。

表 35 介绍 i.MX 6UltraLite 处理器的 DDR I/O 输出缓冲区阻抗。

表 35. DDR I/O 输出缓冲区阻抗

参数	符号	测试条件 DSE (驱动强度)	典型值		单位
			NVCC_DRAM = 1.5 V (DDR3) DDR_SEL = 11	NVCC_DRAM = 1.2 V (LPDDR2) DDR_SEL[1:0]	
输出驱动器 阻抗	Rdrv	000	Hi-Z	Hi-Z	Ω
		001	240	240	
		010	120	120	
		011	80	80	
		100	60	60	
		101	48	48	
		110	40	40	
		111	34	34	

附注：

1. PVT 间的输出驱动器阻抗通过 ZQ 校准程序控制。
2. 根据 240 Ω 外部参考电阻进行校准。
3. PVT 间的输出驱动器阻抗偏差（校准精度）为 $\pm 5\%$ （最大 / 最小阻抗）。
4. 所有类型 DDR (DR3/DDR3L/LPDDR2) 的所有引脚推荐使用较强的驱动强度， $<48 \Omega$ 。

4.9 系统模块时序

本章节包含每款 i.MX 6UltraLite 处理器中的模块的时序和电气参数。

4.9.1 复位时序参数

图 7 介绍复位时序，表 36 列出了时序参数。

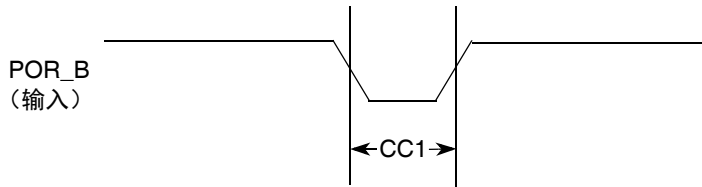


图 7. 复位时序图

表 36. 复位时序参数

ID	参数	最小值	最大值	单位
CC1	POR_B 认定为有效的持续时间。	1	—	RTC_XTALI 周期

4.9.2 WDOG 复位时序参数

图 8 介绍 WDOG 复位时序，表 37 列出了时序参数。

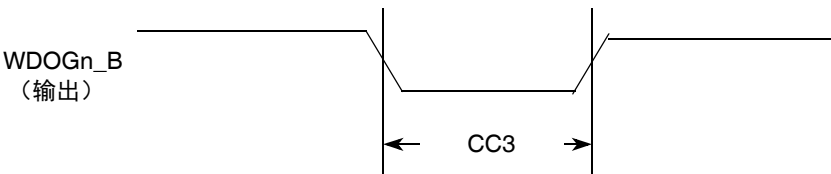


图 8. WDOGn_B 时序图

表 37. WDOGn_B 时序参数

ID	参数	最小值	最大值	单位
CC3	WDOGn_B 认定为有效的持续时间	1	—	RTC_XTALI 周期

附注

RTC_XTALI 约为 32 kHz。RTC_XTALI 周期为一个周期或约为 30 μ s。

附注

WDOG1_B 输出信号（对应每个看门狗模块）没有专用引脚，但可通过 IOMUX 多路复用输出。有关详情，请参见 IOMUX 手册。

4.9.3 外部接口模块 (EIM)

以下子章节介绍了有关 EIM 的信息。

4.9.3.1 EIM 接口管脚分配

EIM 支持 16 位和 8 位器件在地址 / 数据分离或多路复用模式下运行。表 38 提供了不同模式下的 EIM 接口面板分配信息。

表 38. EIM 内部模块多路复用¹

设置	非多路复用的地址 / 数据模式						多路复用的地址 / 数据模式
	8 位				16 位		16 位
	MUM = 0, DSZ = 100	MUM = 0, DSZ = 01	MUM = 0, DSZ = 110	MUM = 0, DSZ = 111	MUM = 0, DSZ = 001	MUM = 0, DSZ = 010	MUM = 1, DSZ = 001
EIM_ADDR [15:0]	EIM_AD [15:0]	EIM_AD [15:0]	EIM_AD [15:0]	EIM_AD [15:0]	EIM_AD [15:0]	EIM_AD [15:0]	EIM_AD [15:0]
EIM_ADDR [26:16]	EIM_ADDR [26:16]	EIM_ADDR [26:16]	EIM_ADDR [26:16]	EIM_ADDR [26:16]	EIM_ADDR [26:16]	EIM_ADDR [26:16]	EIM_ADDR [26:16]
EIM_DATA [7:0], EIM_EB0_B	EIM_DATA [07:00]	—	—	—	EIM_DATA [07:00]	—	EIM_AD [07:00]
EIM_DATA [15:08], EIM_EB1_B	—	EIM_DATA [15:08]	—	—	EIM_DATA [15:08]	—	EIM_AD [15:08]

¹ 有关此表中提到的配置端口的更多信息，请参见 *i.MX 6UltraLite 参考手册 (IMX6ULRM)*。

4.9.3.2 通用 EIM 时序同步模式

图 9、图 10 和表 39 指定了与 EIM 模块相关的时序。所有 EIM 输出控制信号均可根据相应的认定 / 否定控制字段由同步至 EIM_BCLK 上升沿的内部时钟认定和解除认定。

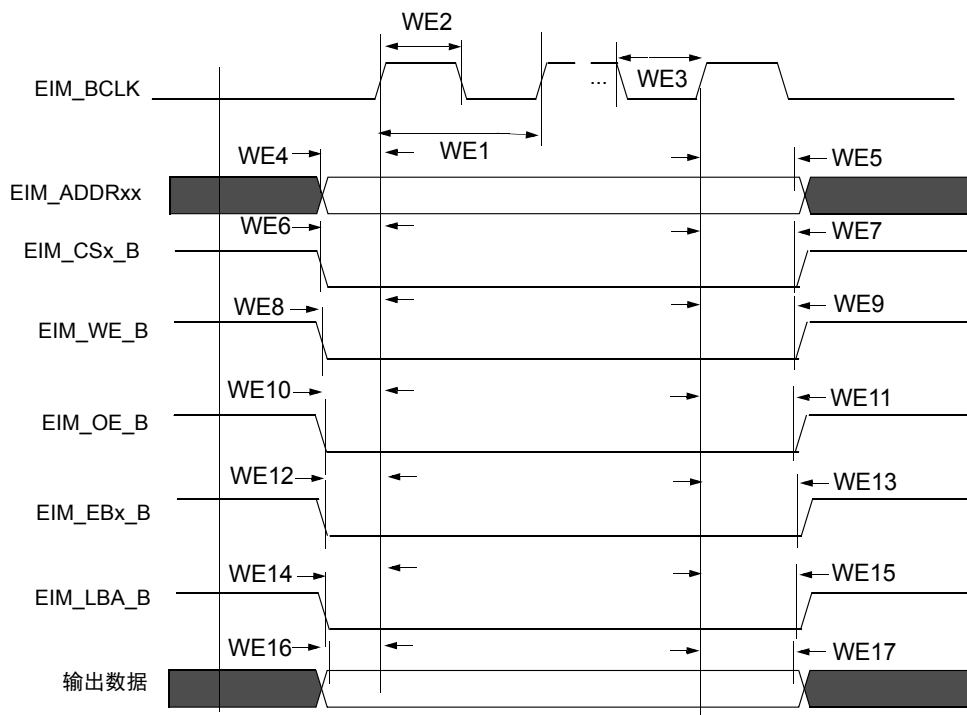


图 9. EIM 输出时序图

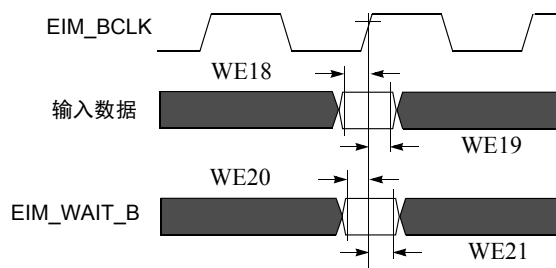


图 10. EIM 输入时序图

4.9.3.3 EIM 同步访问示例

表 39. EIM 总线时序参数¹

ID	参数	BCD = 0		BCD = 1		BCD = 2		BCD = 3	
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值
WE1	EIM_BCLK 周期时间 ²	t	—	2 x t	—	3 x t	—	4 x t	—
WE2	EIM_BCLK 低电平宽度	0.4 x t	—	0.8 x t	—	1.2 x t	—	1.6 x t	—
WE3	EIM_BCLK 高电平宽度	0.4 x t	—	0.8 x t	—	1.2 x t	—	1.6 x t	—
WE4	时钟上升至地址有效 ³	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE5	时钟上升至地址无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE6	时钟上升至 EIM_CSx_B 有效	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE7	时钟上升至 EIM_CSx_B 无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE8	时钟上升至 EIM_WE_B 有效	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE9	时钟上升至 EIM_WE_B 无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE10	时钟上升至 EIM_OE_B 有效	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE11	时钟上升至 EIM_OE_B 无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE12	时钟上升至 EIM_EBx_B 有效	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE13	时钟上升至 EIM_EBx_B 无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE14	时钟上升至 EIM_LBA_B 有效	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE15	时钟上升至 EIM_LBA_B 无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE16	时钟上升至输出数据有效	-0.5 x t - 1.25	-0.5 x t + 1.75	-t - 1.25	-t + 1.75	-1.5 x t - 1.25	-1.5 x t + 1.75	-2 x t - 1.25	-2 x t + 1.75
WE17	时钟上升至输出数据无效	0.5 x t - 1.25	0.5 x t + 1.75	t - 1.25	t + 1.75	1.5 x t - 1.25	1.5 x t + 1.75	2 x t - 1.25	2 x t + 1.75
WE18	时钟上升前的输入数据建立时间	2	—	4	—	—	—	—	—
WE19	时钟上升后的输入数据保持时间	2	—	2	—	—	—	—	—
WE20	EIM_WAIT_B 时钟上升前的建立时间	2	—	4	—	—	—	—	—
WE21	EIM_WAIT_B 时钟上升后的保持时间	2	—	2	—	—	—	—	—

¹ t 是最大的 EIM 逻辑 (axi_clk) 周期时间。允许的最大 axi_clk 频率取决于固定 / 非固定延迟配置, 其中, 允许的最大 EIM_BCLK 频率是:

- 读取和写入的固定延迟为 132 MHz。
- 只读的可变延迟为 132 MHz。
- 只写的可变延迟为 52 MHz。

在写入的可变延迟配置中, 如果 $BCD = 0$ 且 $WBCDD = 1$ 或 $BCD = 1$, 则 axi_clk 必须设为 104 MHz。写入 $BCD = 1$ 和 104 MHz axi_clk 将使 EIM_BCLK 变为 52 MHz。如果至 EIM 的时钟支路降至 104 MHz, 则通过此源计时的其他总线将受到影响。有关详细的时钟树描述, 请参见 *i.MX 6UltraLite 参考手册 (IMX6ULRM)* 的 CCM 章节。

² EIM_BCLK 参数在 50% 点处测量, 即, “高” 定义为信号值的 50%, “低” 定义为信号值的 50%。

³ 对于信号测量。“高” 定义为信号值的 80%, “低” 定义为信号值的 20%。

图 11 到图 14 提供了一些基本 EIM 访问外部存储器设备的示例, 以及前面提到的特定控制参数设置的时序参数。

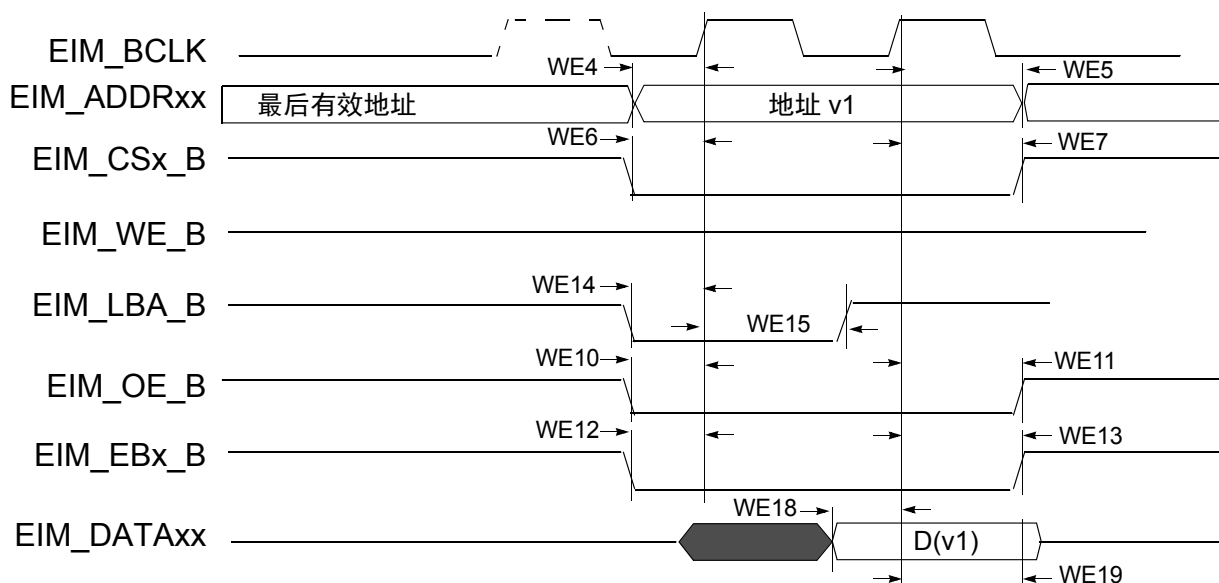


图 11. 同步存储器读访问, WSC = 1

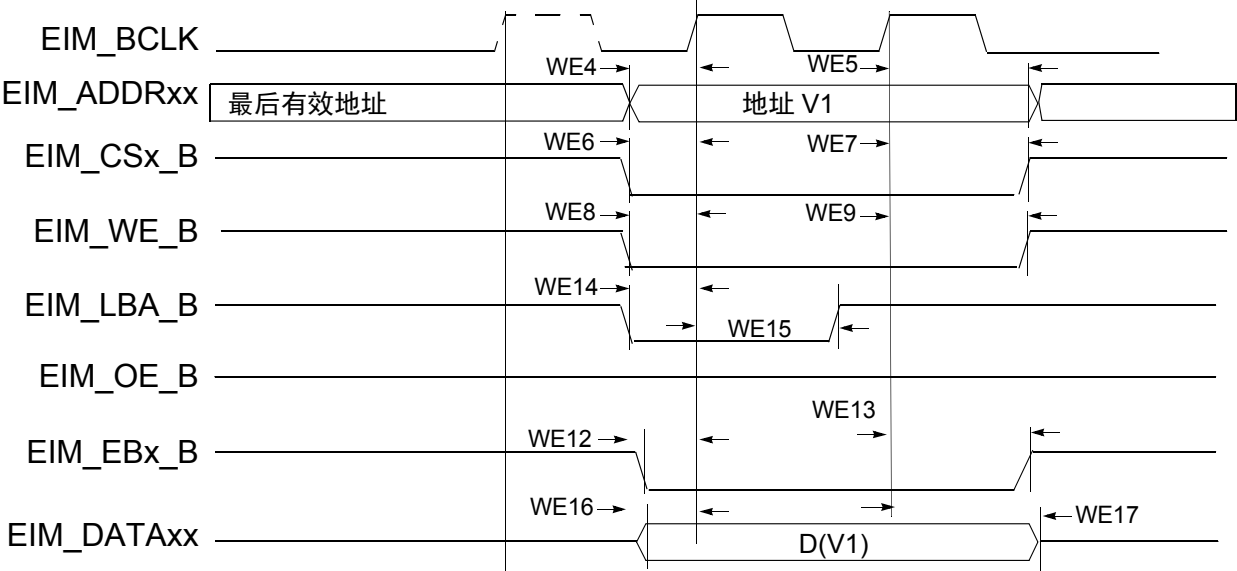


图 12. 同步存储器写访问，WSC = 1、WBEA = 0 和 WADVN = 0

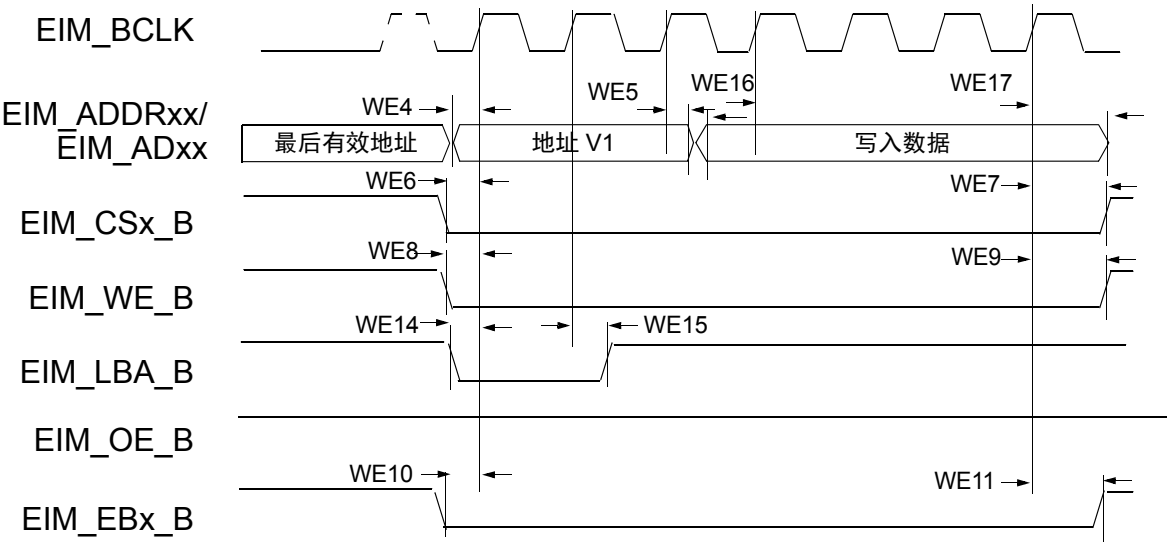


图 13. 多路复用地址 / 数据 (A/D) 模式，同步写访问，WSC = 6、ADVA = 0、ADV N = 1 和 ADH = 1

附注

在 32 位多路复用地址 / 数据 (A/D) 模式下，数据总线上的驱动为 16 MSB。

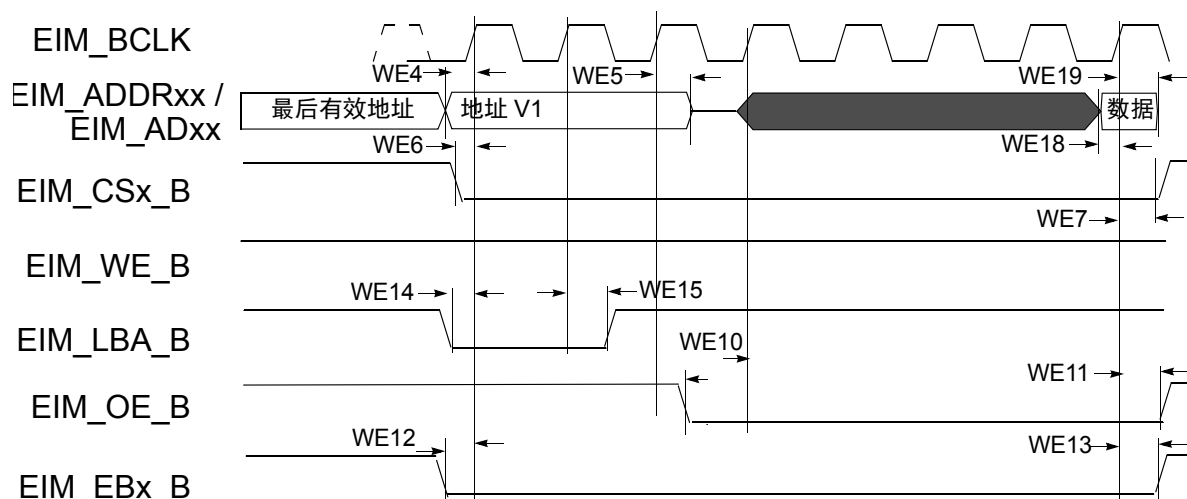


图 14. 16 位多路复用 A/D 模式，同步读访问，WSC = 7、RADVN = 1、ADH = 1、OEA = 0

4.9.3.4 通用 EIM 时序异步模式

图15至图19以及表 40有助于通过对应的EIM位字段和上面提到的时序参数确定异步和DTACK EIM 访问时与片选 (CS) 状态相对的时序参数。

异步读和写访问长度（周期）可能与图 15 至图 18 中所示的长度不同，因为 RWSC、OEN 和 CSN 配置不同。有关 EIM 配置模型的信息，请参见 *i.MX 6UltraLite 参考手册 (IMX6ULRM)*。

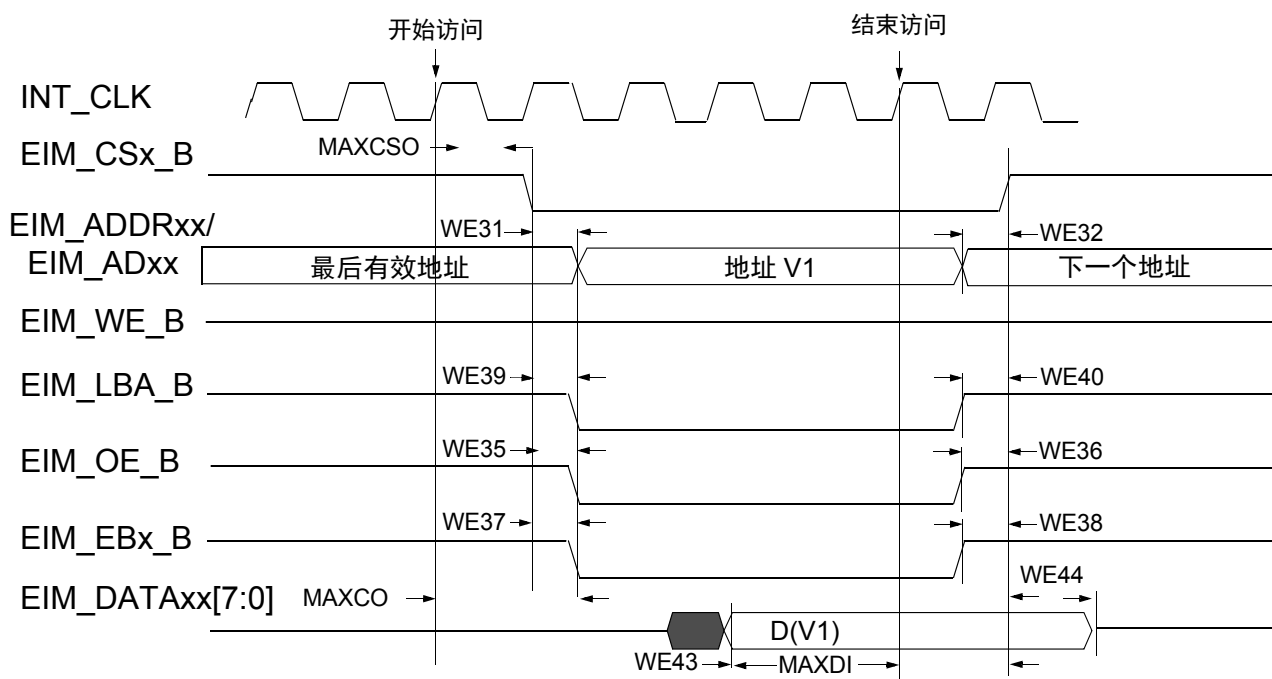


图 15. 异步存储器读访问 (RWSC = 5)

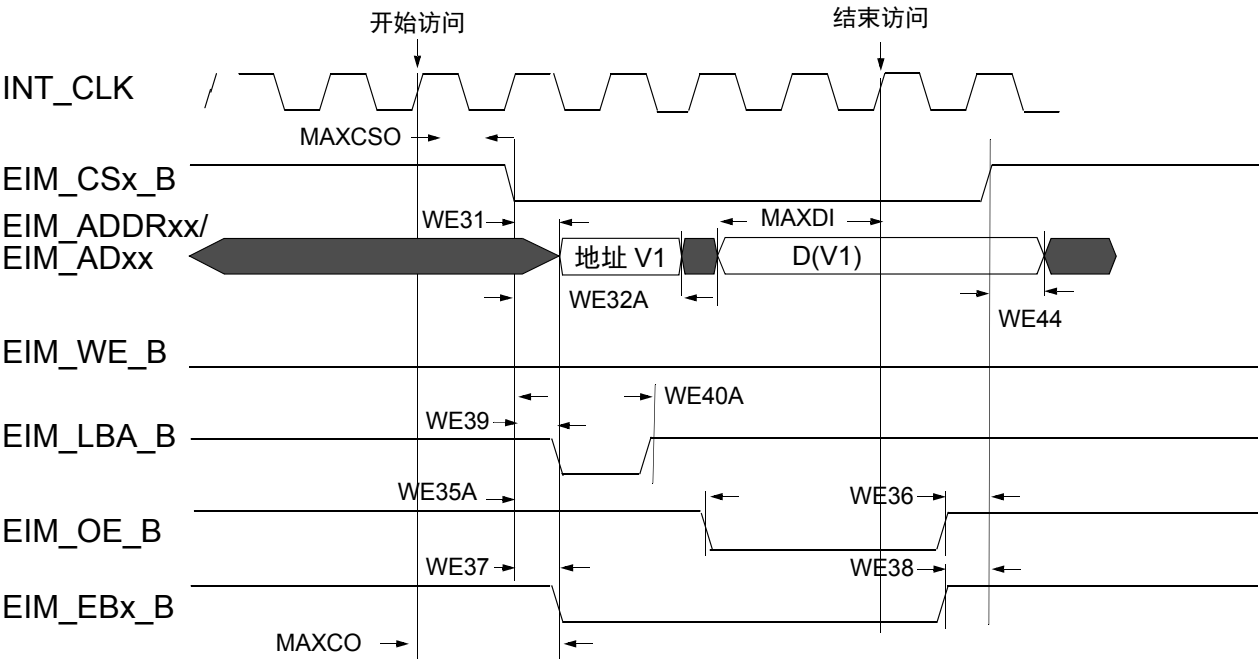


图 16. 异步 A/D 多路复用读访问 (RWSC = 5)

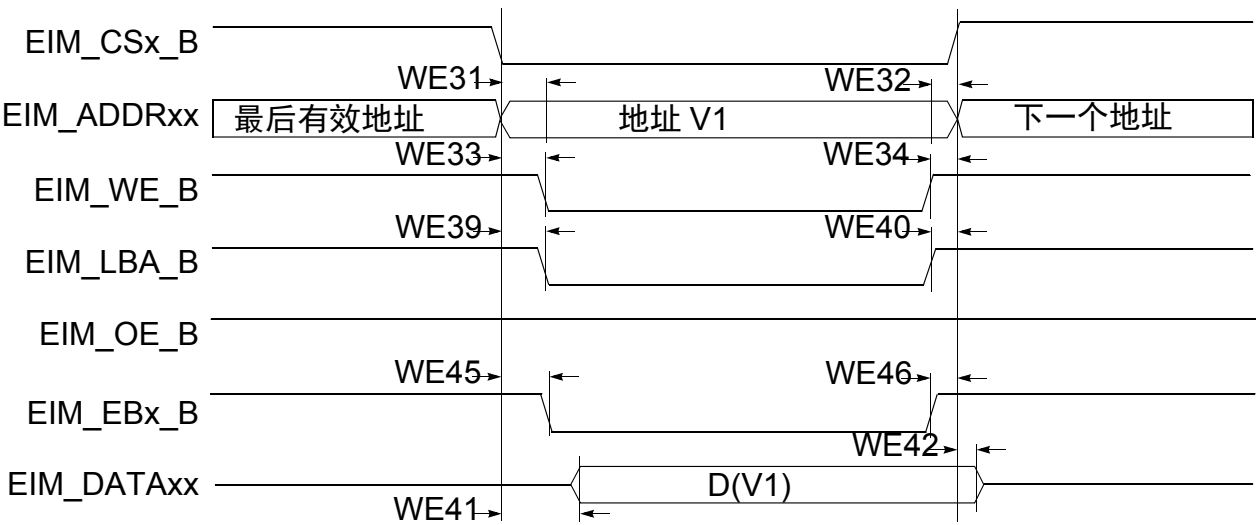


图 17. 异步存储器写访问

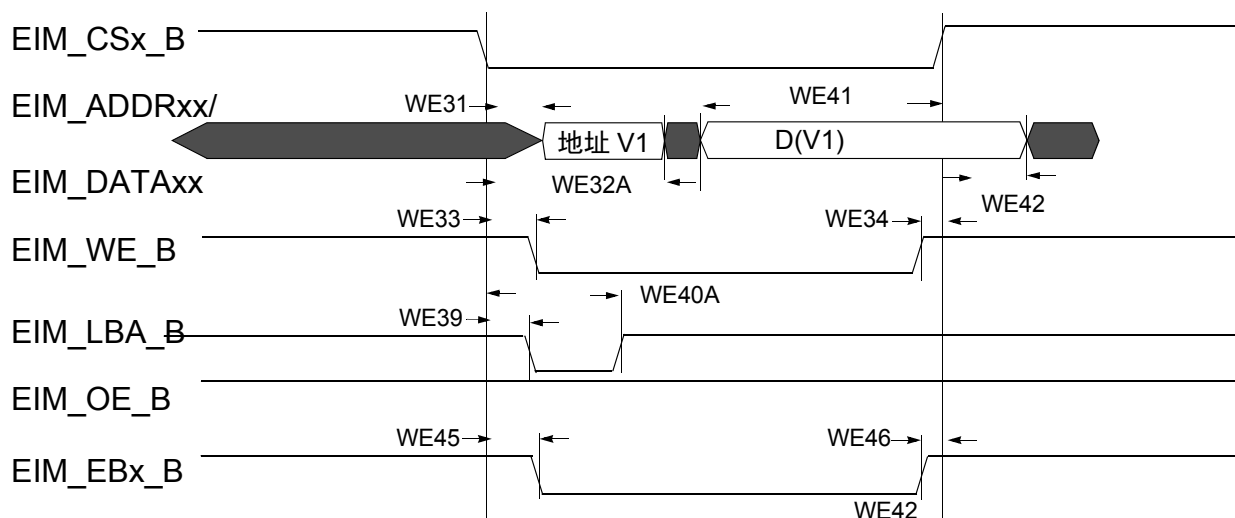


图 18. 异步 A/D 多路复用写访问

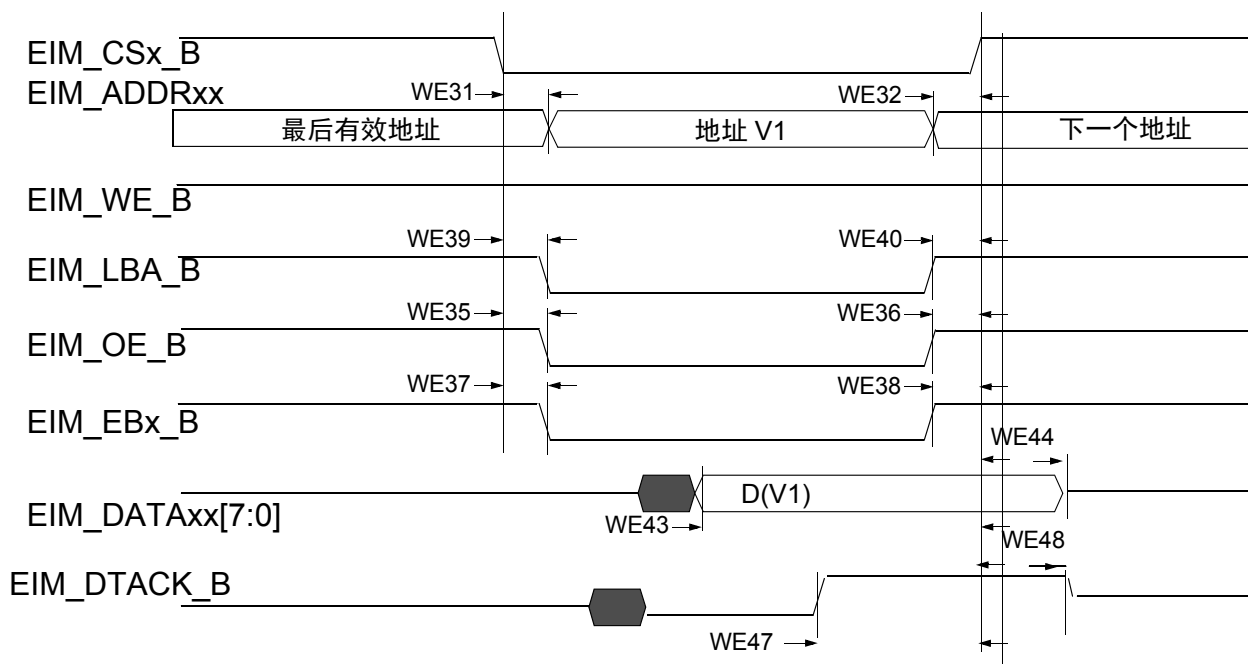


图 19. DTACK 模式读访问 (DAP = 0)

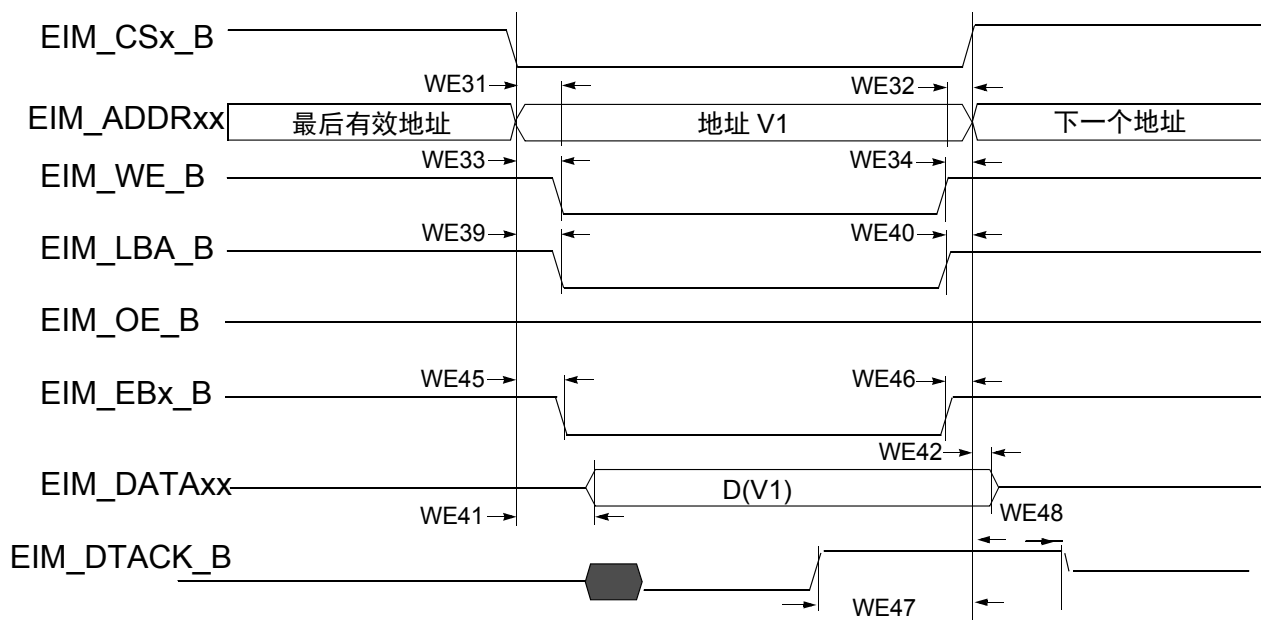


图 20. DTACK 模式写访问 (DAP = 0)

表 40. 要选择的相关芯片的 EIM 异步时序参数表

参考编号	参数	由同步测量参数决定 ¹	最小值	最大值 (如果 SoC 支持 132 MHz)	单位
WE31	EIM_CSx_B 有效至地址有效	WE4 - WE6 - CSA ²	—	3 - CSA	ns
WE32	地址无效至 EIM_CSx_B 无效	WE7 - WE5 - CSN ³	—	3 - CSN	ns
WE32A (多路复用的 A/D)	EIM_CSx_B 有效至地址无效	$t^4 + WE4 - WE7 + (ADV_N^5 + ADVA^6 + 1 - CSA)$	$-3 + (ADV_N + ADVA + 1 - CSA)$	—	ns
WE33	EIM_CSx_B 有效至 EIM_WE_B 有效	WE8 - WE6 + (WEA - WCSA)	—	3 + (WEA - WCSA)	ns
WE34	EIM_WE_B 无效至 EIM_CSx_B 无效	WE7 - WE9 + (WEN - WCSN)	—	3 - (WEN - WCSN)	ns
WE35	EIM_CSx_B 有效至 EIM_OE_B 有效	WE10 - WE6 + (OEA - RCSA)	—	3 + (OEA - RCSA)	ns
WE35A (多路复用的 A/D)	EIM_CSx_B 有效至 EIM_OE_B 有效	WE10 - WE6 + (OEA + RADVN + RADVA + ADH + 1 - RCSA)	$-3 + (OEA + RADVN + RADVA + ADH + 1 - RCSA)$	3 + (OEA + RADVN + RADVA + ADH + 1 - RCSA)	ns
WE36	EIM_OE_B 无效至 EIM_CSx_B 无效	WE7 - WE11 + (OEN - RCSN)	—	3 - (OEN - RCSN)	ns
WE37	EIM_CSx_B 有效至 EIM_EBx_B 有效 (读取访问)	WE12 - WE6 + (RBEA - RCSA)	—	3 + (RBEA - RCSA)	ns

表 40. 要选择的相关芯片的 EIM 异步时序参数表 (续)

参考编号	参数	由同步测量参数决定 ¹	最小值	最大值 (如果 SoC 支持 132 MHz)	单位
WE38	EIM_EBx_B 无效至 EIM_CSx_B 无效 (读取访问)	WE7 - WE13 + (RBEN - RCSN)	—	3 - (RBEN - RCSN)	ns
WE39	EIM_CSx_B 有效至 EIM_LBA_B 有效	WE14 - WE6 + (ADVA - CSA)	—	3 + (ADVA - CSA)	ns
WE40	EIM_LBA_B 无效至 EIM_CSx_B 无效 (已断言 ADVL)	WE7 - WE15 - CSN	—	3 - CSN	ns
WE40A (多路复用的 A/D)	EIM_CSx_B 有效至 EIM_LBA_B 无效	WE14 - WE6 + (ADV _N + ADVA + 1 - CSA)	-3 + (ADV _N + ADVA + 1 - CSA)	3 + (ADV _N + ADVA + 1 - CSA)	ns
WE41	EIM_CSx_B 有效至输出数据有效	WE16 - WE6 - WCSA	—	3 - WCSA	ns
WE41A (多路复用的 A/D)	EIM_CSx_B 有效至输出数据有效	WE16 - WE6 + (WADV _N + WADVA + ADH + 1 - WCSA)	—	3 + (WADV _N + WADVA + ADH + 1 - WCSA)	ns
WE42	输出数据无效至 EIM_CSx_B 无效	WE17 - WE7 - CSN	—	3 - CSN	ns
MAXCO	从内部驱动 EIM_ADDRxx/ 控制触发器至芯片输出的输出最大延迟	10	—	—	ns
MAXCSO	CSx 内部驱动触发器至 CSx 输出的输出最大延迟	10	—	—	ns
MAXDI	EIM_DATAxx 从芯片输入数据至其内部触发器的最大延迟	5	—	—	ns
WE43	输入数据有效至 EIM_CSx_B 无效	MAXCO - MAXCSO + MAXDI	MAXCO - MAXCSO + MAXDI	—	ns
WE44	EIM_CSx_B 无效至输入数据无效	0	0	—	ns
WE45	EIM_CSx_B 有效至 EIM_EBx_B 有效 (写入访问)	WE12 - WE6 + (WBEA - WCSA)	—	3 + (WBEA - WCSA)	ns

表 40. 要选择的相关芯片的 EIM 异步时序参数表（续）

参考编号	参数	由同步测量参数决定 ¹	最小值	最大值 (如果 SoC 支持 132 MHz)	单位
WE46	EIM_EBx_B 无效至 EIM_CSx_B 无效 (写入访问)	WE7 - WE13 + (WBEN - WCSN)	—	-3 + (WBEN - WCSN)	ns
MAXDTI	从 EIM_DTACK_B 至其内部 FF 的最大延迟 + 2 个同步周期	10	—	—	—
WE47	EIM_DTACK_B 有效至 EIM_CSx_B 无效	MAXCO - MAXCSO + MAXDTI	MAXCO - MAXCSO + MAXDTI	—	ns
WE48	EIM_CSx_B 无效至 EIM_DTACK_B 无效	0	0	—	ns

¹ 有关此表中提到的配置参数的更多信息，请参见 *i.MX 6UltraLite 参考手册* (IMX6ULRM)。

² 在此表中，如果是写入操作，则 CSA 是指 WCSA，如果是读取操作，则是指 RCSA。

³ 在此表中，如果是写入操作，则 CSN 是指 WCSN，如果是读取操作，则是指 RCSN。

⁴ t 为 axi_clk 周期时间。

⁵ 在此表中，如果是写入操作，则 ADVN 是指 WADV_N，如果是读取操作，则是指 RADVN。

⁶ 在此表中，如果是写入操作，则 ADVA 是指 WADVA，如果是读取操作，则是指 RADVA。

4.9.4 DDR SDRAM 具体参数（DDR3 和 LPDDR2）

4.9.4.1 DDR3 参数

i.MX 6UltraLite 支持带 CS0_B、ODT0 和 SDCKE0 的单片选 DDR3 存储器。

图 21 介绍了 DDR3 基本时序图，时序参数在表 41 中提供。

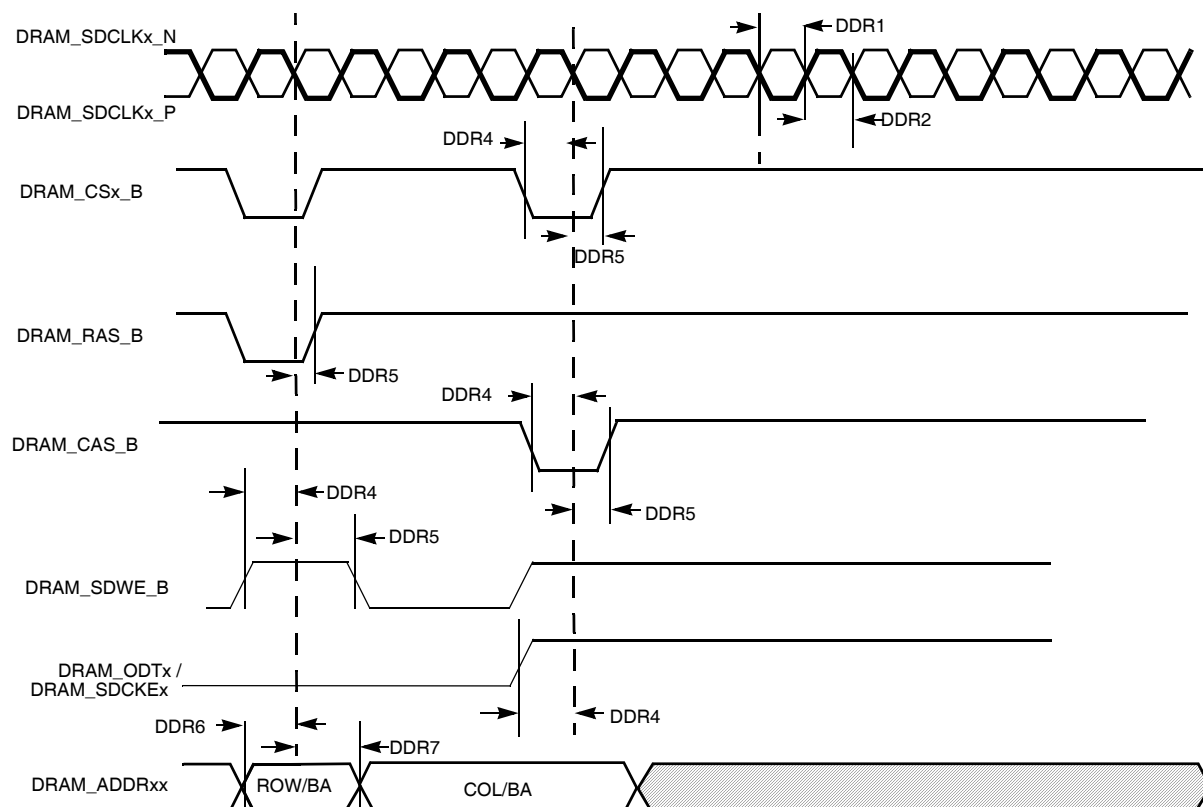


图 21. DDR3 命令和地址时序图

表 41. DDR3 时序参数

ID	参数	符号	CK = 400 MHz		单位
			最小值	最大值	
DDR1	DRAM_SDCLKx_P 时钟高电平宽度	tCH	0.47	0.53	tck
DDR2	DRAM_SDCLKx_P 时钟低电平宽度	tCL	0.47	0.53	tck
DDR4	DRAM_CSx_B、DRAM_RAS_B、DRAM_CAS_B、DRAM_SDCKE、DRAM_SDWE_B、DRAM_SDODTx 建立时间	tis	515	—	ps
DDR5	DRAM_CSx_B、DRAM_RAS_B、DRAM_CAS_B、DRAM_SDCKE、DRAM_SDWE_B、DRAM_SDODTx 保持时间	tih	425	—	ps
DDR6	地址输出建立时间	tis	515	—	ps
DDR7	地址输出保持时间	tih	425	—	ps

¹ 所有测量均参考 Vref 等级。

² 测量是使用平衡负载以及从输出至 VDD_REF 的 25 Ω 电阻进行的。

图 22 介绍 DDR3 写时序图。此图的时序参数位于表 42 中。

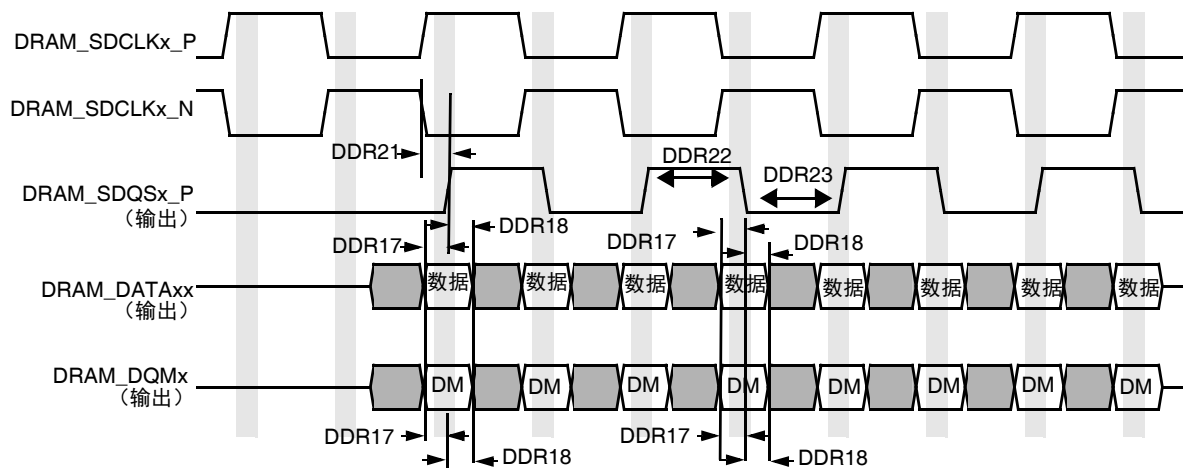


图 22. DDR3 写周期

表 42. DDR3 写周期

ID	参数	符号	CK = 400MHz		单位
			最小值	最大值	
DDR17	DRAM_DATAxx 和 DRAM_DQMx 至 DRAM_SDQSx_P (差分选通信号) 的建立时间	tDS	175	—	ps
DDR18	DRAM_DATAxx 和 DRAM_DQMx 至 DRAM_SDQSx_P (差分选通信号) 的保持时间	tDH	200	—	ps
DDR21	DRAM_SDQSx_P 上升转换锁存至关联时钟沿换	tDQSS	-0.25	+0.25	tCK
DDR22	DRAM_SDQSx_P 高电平宽度	tDQSH	0.45	0.55	tCK
DDR23	DRAM_SDQSx_P 低电平宽度	tDQSL	0.45	0.55	tCK

¹ 为了接收报告的建立和保持值，必须执行写校准，以便将 DRAM_SDQSx_P 定位在 DRAM_DATAxx 窗口中间。
² 所有测量均参考 Vref 等级。
³ 测量是使用平衡负载以及从输出至 DDR_VREF 的 25 Ω 电阻进行的。

图 23 介绍 DDR3 读时序图。此图的时序参数位于表 43 中。

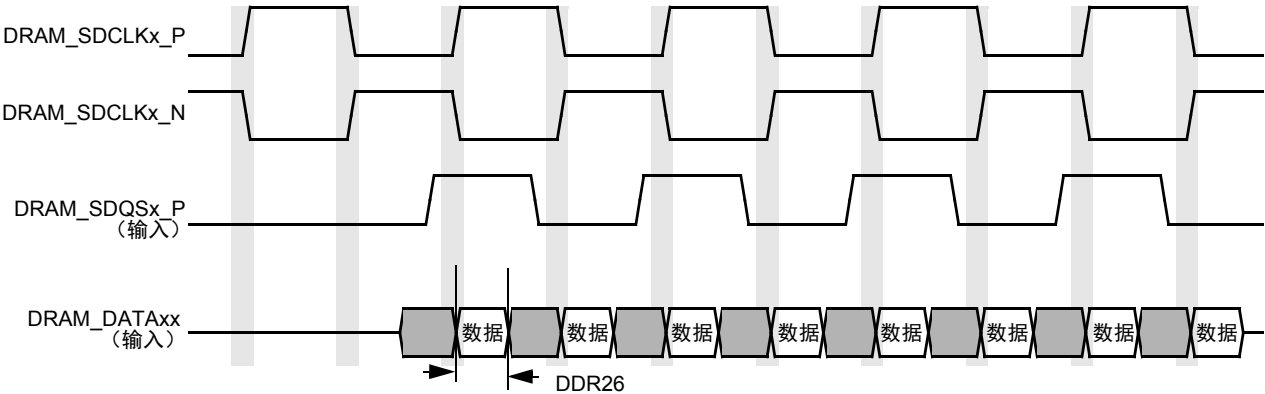


图 23. DDR3 读周期

表 43. DDR3 读周期

ID	参数	符号	CK = 400 MHz		单位
			最小值	最大值	
DDR26	需要的最小 DRAM_DATAxx 有效窗口宽度	—	450	—	ps

- ¹ 为了接收报告的建立和保持值，必须执行读校准，以便将 DRAM_SDQSx_P 定位在 DRAM_DATAxx 窗口中间。
- ² 所有测量均参考 Vref 等级。
- ³ 测量是使用平衡负载以及从输出至 VDD_REF 的 25 Ω 电阻进行的。

4.9.4.2 LPDDR2 参数

i.MX 6UltraLite 支持最多两个芯片负载位于数据总线信号上：SDCKE0/1 和 CS0/1。

图 24 介绍 LPDDR2 基本时序图。此图的时序参数位于表 44 中。

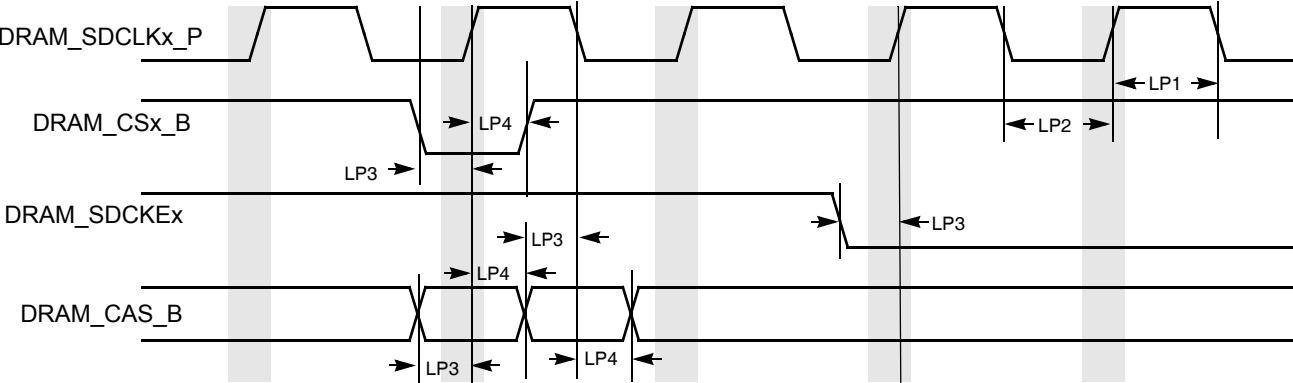


图 24. LPDDR2 命令和地址时序图

表 44. LPDDR2 时序参数

ID	参数	符号	CK = 400 MHz		单位
			最小值	最大值	
LP1	SDRAM 时钟高电平宽度	tCH	0.45	0.55	tCK
LP2	SDRAM 时钟低电平宽度	tCL	0.45	0.55	tCK
LP3	DRAM_CSx_B、DRAM_SDCKEx 建立时间	tIS	490	—	ps
LP4	DRAM_CSx_B、DRAM_SDCKEx 保持时间	tIH	440	—	ps
LP3	DRAM_CAS_B 建立时间	tIS	490	—	ps
LP4	DRAM_CAS_B 保持时间	tIH	440	—	ps

¹ 所有测量均参考 Vref 等级。
² 测量是使用平衡负载以及从输出至 DDR_VREF 的 25 Ω 电阻进行的。

图 25 介绍 LPDDR2 写时序图。此图的时序参数位于表 45 中。

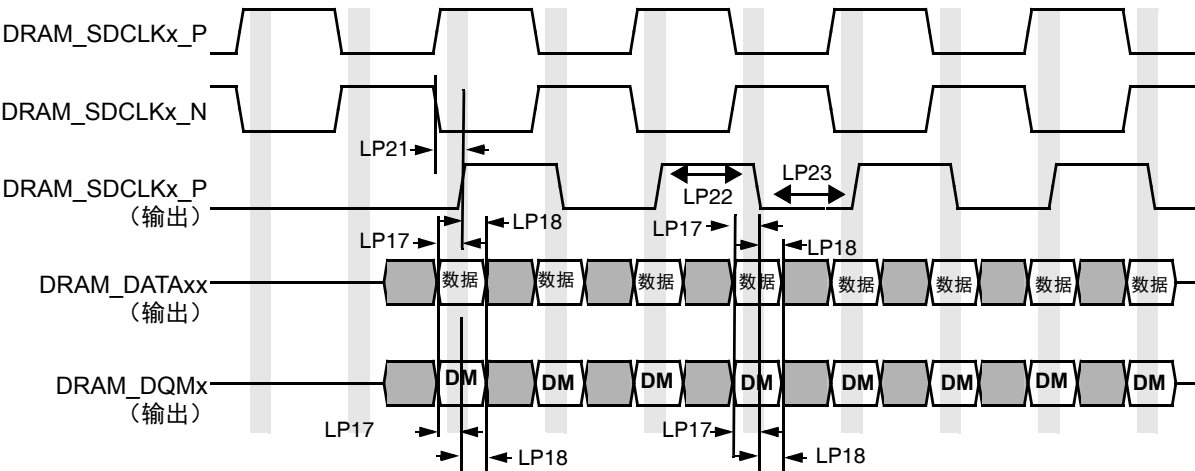


图 25. LPDDR2 写周期

表 45. LPDDR2 写周期

ID	参数	符号	CK = 400 MHz		单位
			最小值	最大值	
LP17	DRAM_DATAxx 和 DRAM_DQMx 至 DRAM_SDQSx_P (差分选通信号) 的建立时间	tDS	320	—	ps
LP18	DRAM_DATAxx 和 DRAM_DQMx 至 DRAM_SDQSx_P (差分选通信号) 的保持时间	tDH	320	—	ps
LP21	DRAM_SDQSx_P 上升转换锁存至关联时钟沿换	tDQSS	-0.25	+0.25	tCK
LP22	DRAM_SDQSx_P 高电平宽度	tDQSH	0.4	—	tCK
LP23	DRAM_SDQSx_P 低电平宽度	tDQSL	0.4	—	tCK

- ¹ 为了接收报告的建立和保持值，必须执行写校准，以便将 DRAM_SDQS 定位在 DRAM_DATAxx 窗口中间。
- ² 所有测量均参考 Vref 等级。
- ³ 测量是使用平衡负载以及从输出至 DDR_VREF 的 25 Ω 电阻进行的。

图 26 介绍 LPDDR2 读时序图。此图的时序参数位于表 46 中。

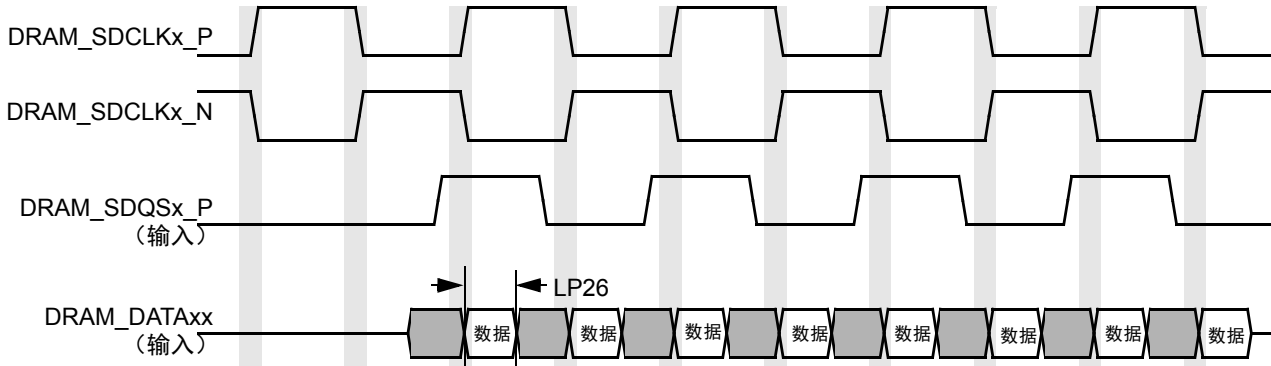


图 26. LPDDR2 读周期

表 46. LPDDR2 读周期

ID	参数	符号	CK = 400 MHz		单位
			最小值	最大值	
LP26	LPDDR2 所需的最小 DRAM_DATAxx 有效窗口宽度	—	270	—	ps

- ¹ 为了接收报告的建立和保持值，必须执行读校准，以便将 DRAM_SDQSx_P 定位在 DRAM_DATA_xx 窗口中间。
- ² 所有测量均参考 Vref 等级。
- ³ 测量是使用平衡负载以及从输出至 DDR_VREF 的 25 Ω 电阻进行的。

4.10 通用媒体接口 (GPMI) 时序

i.MX 6UltraLite GPMI 控制器是一款灵活接口 NAND Flash 控制器，数据宽度为 8 位，速度最高支持 200 MB/s I/O，并且具有单独的片选。

它支持异步时序模式、源同步时序模式和 Samsung Toggle 时序模式，将在以下小节中分别介绍。

4.10.1 异步模式 AC 时序（符合 ONFI 1.0）

异步模式 AC 时序是时钟周期和固定延迟的倍数。异步模式下的最大 GPMI I/O 速度约为 50 MB/s。

图 27 至图 30 介绍了异步模式下不同操作各模块级别 GPMI 之间的相对时序。表 47 介绍了图中所示的时序参数 (NF1—F17)。

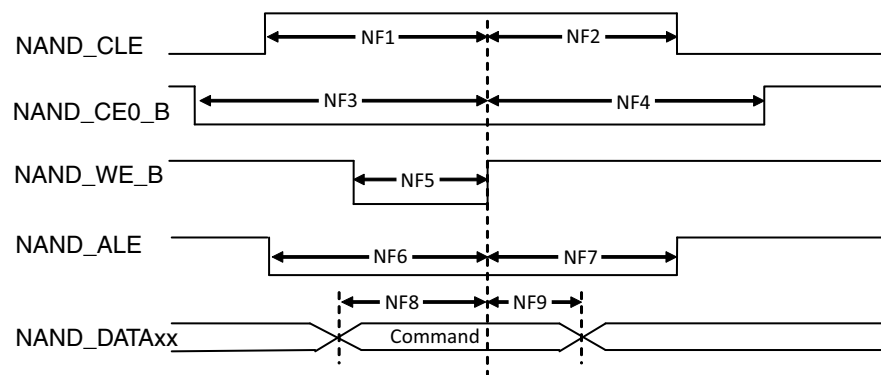


图 27. 命令锁存周期时序图

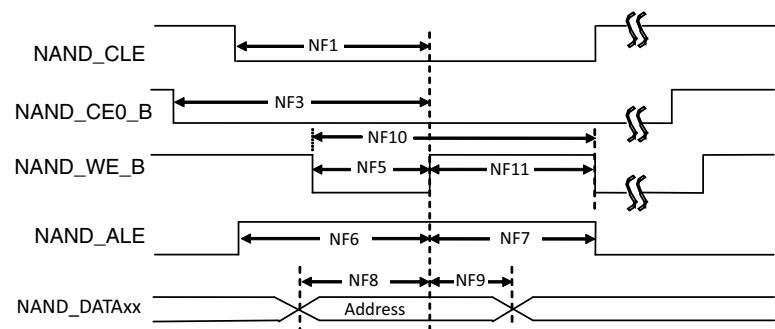


图 28. 地址锁存周期时序图

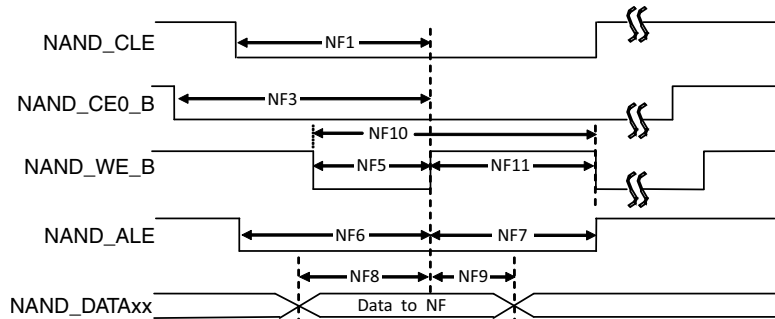


图 29. 写数据锁存周期时序图

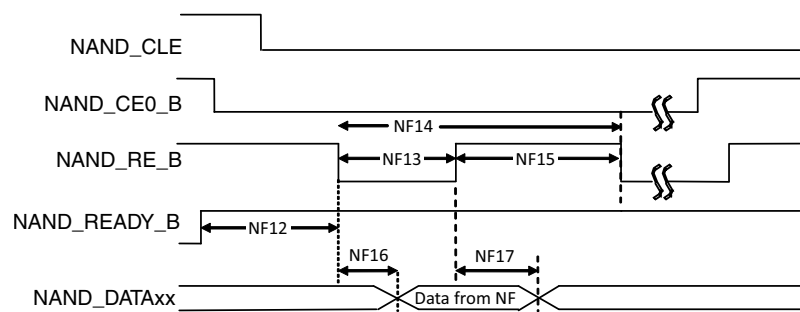


图 30. 读数据锁存周期时序图（非 EDO 模式）

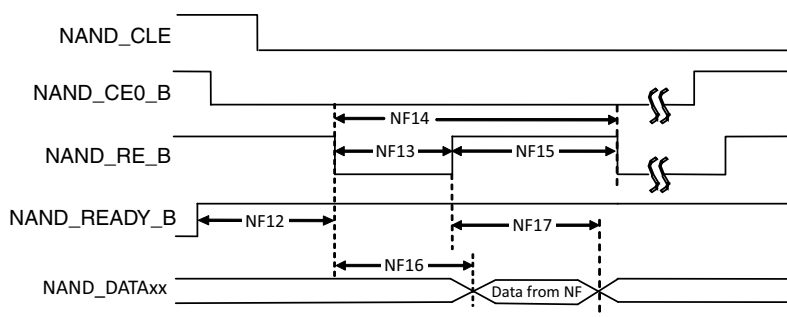


图 31. 读数据锁存周期时序图（EDO 模式）

表 47. 异步模式时序参数¹

ID	参数	符号	时序 T = GPMI 时钟周期		单位
			最小值	最大值	
NF1	NAND_CLE 建立时间	tCLS	$(AS + DS) \times T - 0.12$ [参见 ^{2, 3}]		ns
NF2	NAND_CLE 保持时间	tCLH	$DH \times T - 0.72$ [参见 ²]		ns
NF3	NAND_CE0_B 建立时间	tCS	$(AS + DS + 1) \times T$ [参见 ^{3, 2}]		ns
NF4	NAND_CE0_B 保持时间	tCH	$(DH + 1) \times T - 1$ [参见 ²]		ns
NF5	NAND_WE_B 脉宽	tWP	$DS \times T$ [参见 ²]		ns
NF6	NAND_ALE 建立时间	tALS	$(AS + DS) \times T - 0.49$ [参见 ^{3, 2}]		ns
NF7	NAND_ALE 保持时间	tALH	$(DH \times T - 0.42$ [参见 ²]		ns
NF8	数据建立时间	tDS	$DS \times T - 0.26$ [参见 ²]		ns
NF9	数据保持时间	tDH	$DH \times T - 1.37$ [参见 ²]		ns
NF10	写入周期时间	tWC	$(DS + DH) \times T$ [参见 ²]		ns
NF11	NAND_WE_B 保持时间	tWH	$DH \times T$ [参见 ²]		ns
NF12	准备进入 NAND_RE_B 低电平	tRR ⁴	$(AS + 2) \times T$ [参见 ^{3, 2}]	—	ns
NF13	NAND_RE_B 脉宽	tRP	$DS \times T$ [参见 ²]		ns
NF14	读周期时间	tRC	$(DS + DH) \times T$ [参见 ²]		ns
NF15	NAND_RE_B 高保持时间	tREH	$DH \times T$ [参见 ²]		ns
NF16	读取时的数据建立	tDSR	—	$(DS \times T - 0.67)/18.38$ [参见 ^{5, 6}]	ns
NF17	读取时的数据保持	tDHR	0.82/11.83 [参见 ^{5, 6}]	—	ns

¹ GPMI 异步模式输出时序由该模块的内部寄存器 HW_GPMI_TIMING0_ADDRESS_SETUP、HW_GPMI_TIMING0_DATA_SETUP 和 HW_GPMI_TIMING0_DATA_HOLD 控制。此 AC 时序取决于这些寄存器的设置。在此表中，AS/DS/DH 代表其中每种设置。

² AS 最小值可以为 0，但 DS/DH 的最小值为 1。

³ T = GPMI 时钟周期 - 0.075ns（最大 p-p 抖动的一半）。

⁴ NF12 由设计保证。

⁵ 非 EDO 模式。

⁶ EDO 模式，GPMI 时钟 ≈ 100 MHz

(AS = DS = DH = 1、GPMI_CTL1 [RDN_DELAY] = 8、GPMI_CTL1 [HALF_PERIOD] = 0)。

在 EDO 模式 (图 30) 下, NF16/NF17 与非 EDO 模式 (图 29) 下的定义不同。它们被称为 tREA/tRHOH (RE# 访问时间 /RE# 高电平至输出的保持时间)。在 50 MB/s EDO 模式下, 它们的典型值为 16 ns (对于 tREA 为最大) /15 ns (对于 tRHOH 为最小)。在 EDO 模式下, GPMI 将在内部 DPLL 提供的延迟 NAND_RE_B 的上升沿处采样 NAND_DATAxx。延迟值由 GPMI_CTRL1.RDN_DELAY 控制 (请参见 *i.MX 6UltraLite 参考手册* 的 GPMI 章节)。在 50 MT/s EDO 模式下, 此控制寄存器的典型值为 0x8。但是, 如果板级延迟足够长且无法忽略, 则应加大延迟值, 以补偿板级延迟。

4.10.2 源同步模式 AC 时序 (符合 ONFI 2.x)

图 32 至图 34 介绍了源同步模式的写和读时序。

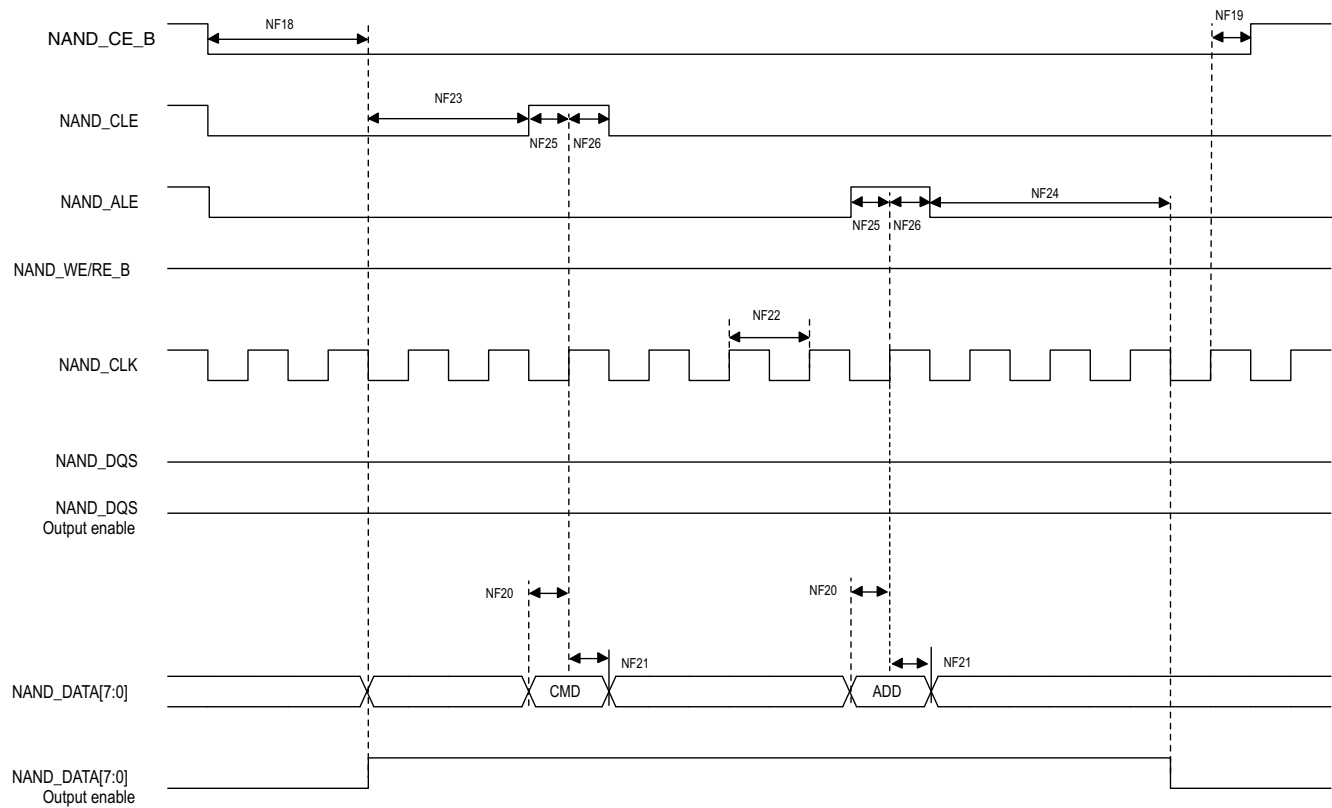


图 32. 源同步模式命令和地址时序图

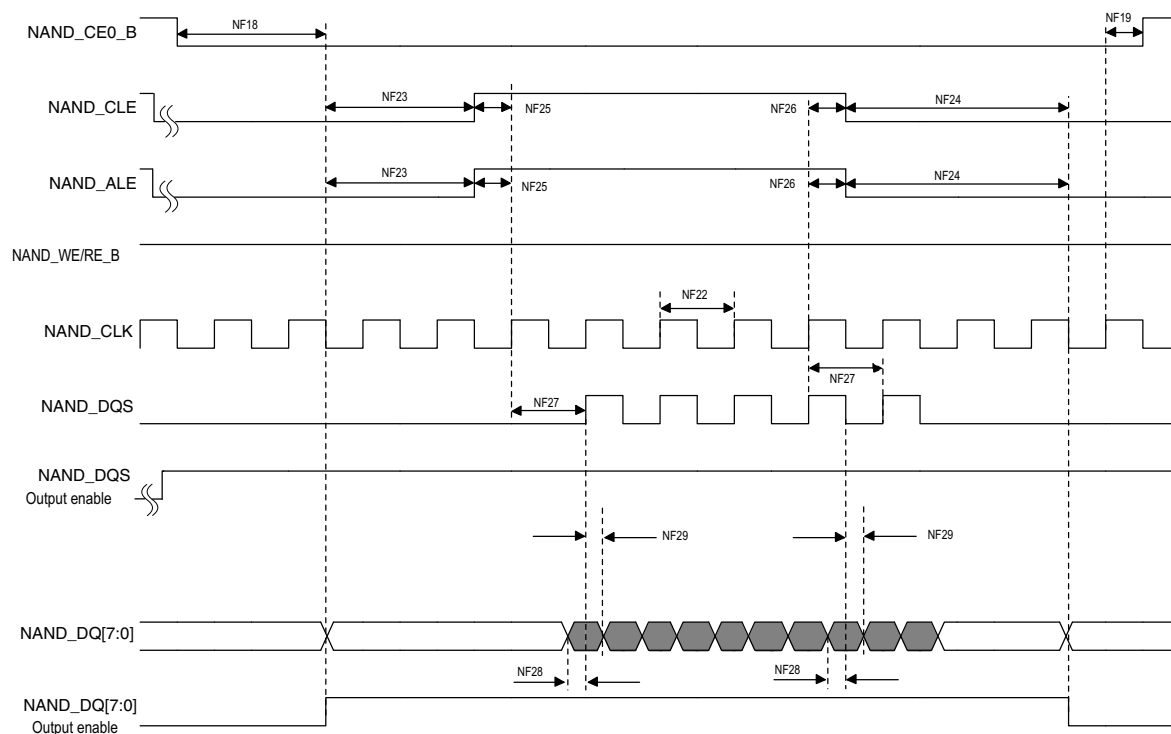


图 33. 源同步模式数据写入时序图

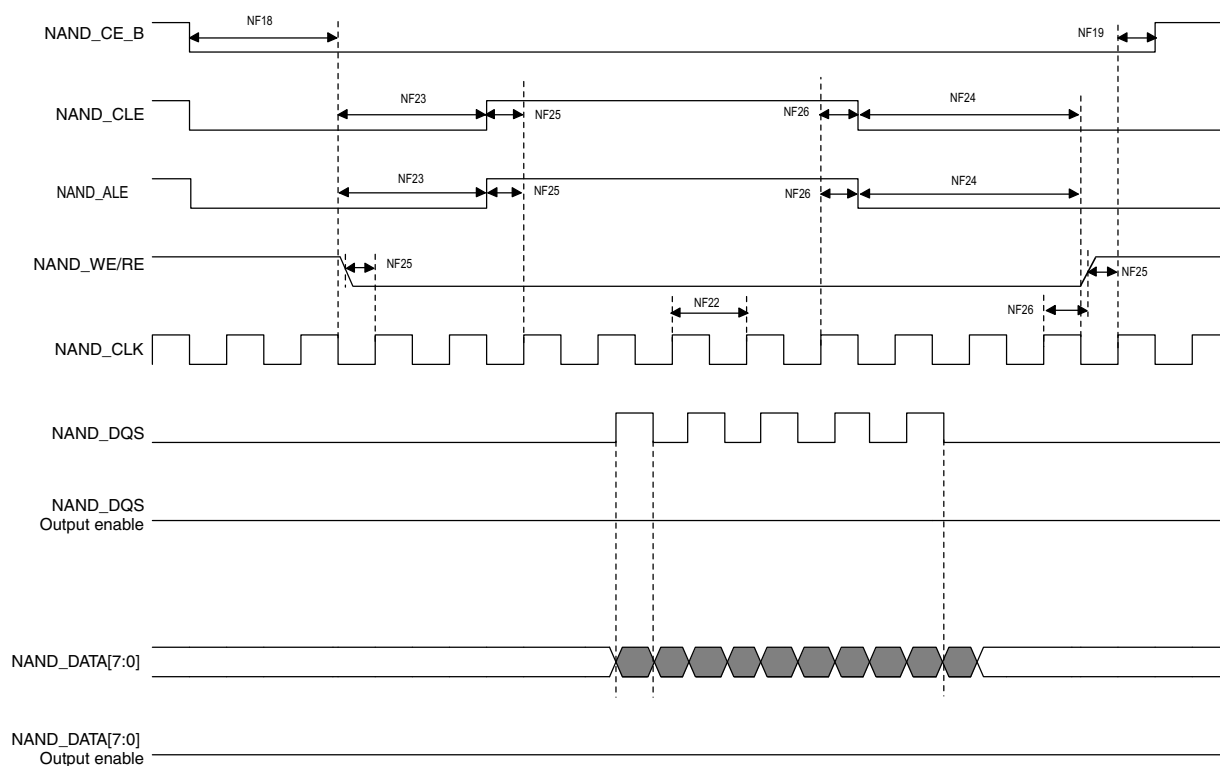


图 34. 源同步模式数据读取时序图

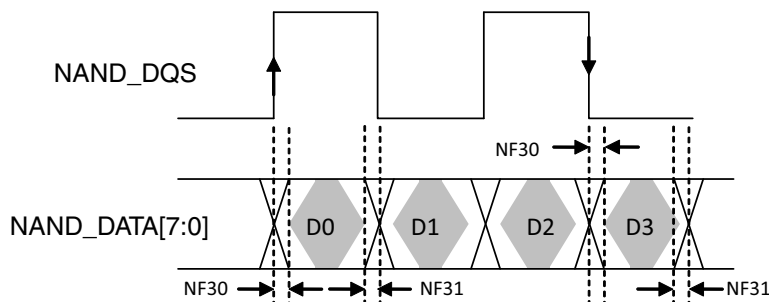


图 35. NAND_DQS/NAND_DQ 读有效窗口

表 48. 源同步模式时序参数¹

ID	参数	符号	时序 T = GPMI 时钟周期		单位
			最小值	最大值	
NF18	NAND_CE0_B 访问时间	tCE	CE_DELAY × T - 0.79 [参见 ²]		ns
NF19	NAND_CE0_B 保持时间	tCH	0.5 × tCK - 0.63 [参见 ²]		ns
NF20	命令 / 地址 NAND_DATAxx 建立时间	tCAS	0.5 × tCK - 0.05		ns
NF21	命令 / 地址 NAND_DATAxx 保持时间	tCAH	0.5 × tCK - 1.23		ns
NF22	时钟周期	tCK	—		ns
NF23	前同步码延迟	tPRE	PRE_DELAY × T - 0.29 [参见 ²]		ns
NF24	后同步码延迟	tPOST	POST_DELAY × T - 0.78 [参见 ²]		ns
NF25	NAND_CLE 和 NAND_ALE 建立时间	tCALS	0.5 × tCK - 0.86		ns
NF26	NAND_CLE 和 NAND_ALE 保持时间	tCALH	0.5 × tCK - 0.37		ns
NF27	NAND_CLK 至第一个 NAND_DQS 的锁存转换	tDQSS	T - 0.41 [参见 ²]		ns
NF28	数据写入建立	—	0.25 × tCK - 0.35		—
NF29	数据写入保持	—	0.25 × tCK - 0.85		—
NF30	NAND_DQS/NAND_DQ 读取建立偏差	—	—	2.06	—
NF31	NAND_DQS/NAND_DQ 读取保持偏差	—	—	1.95	—

¹ GPMI 源同步模式输出时序由该模块的内部寄存器 GPMI_TIMING2_CE_DELAY、GPMI_TIMING2_PREAMBLE_DELAY、GPMI_TIMING2_POST_DELAY 控制。此 AC 时序取决于这些寄存器的设置。在此表中，CE_DELAY/PRE_DELAY/POST_DELAY 代表其中每种设置。

² T = tCK (GPMI 时钟周期) - 0.075ns (最大 p-p 抖动的一半)。

对于 DDR 源同步模式，图 35 介绍了 NAND_DQS/NAND_DATAxx 读有效窗口的时序图。在 200MB/s 时，tDQSQ 的典型值为 0.85ns (最大)，而 tQHS 的典型值为 1ns (最大)。GPMI 将在延迟 NAND_DQS 信号的上升和下降沿为采样 NAND_DATA[7:0]，该信号可由内部 DPLL 提供。该延迟值由 GPMI 寄存器 GPMI_READ_DDR_DLL_CTRL 控制。SLV_DLY_TARGET (请参见 *i.MX 6UltraLite 参考手册* 的 GPMI 章节)。一般来说，此寄存器的典型延迟值等于 0x7，它表示预期延迟为 1/4 个时钟周期。但是，如果板级延迟足够长且无法忽略，则应加大延迟值，以补偿板级延迟。

4.10.3 Samsung Toggle 模式 AC 时序

4.10.3.1 命令和地址时序

附注

Samsung Toggle 模式命令和地址时序与符合 ONFI 1.0 的异步模式 AC 时序相同。详情请参见第 4.10.1 节，“异步模式 AC 时序（符合 ONFI 1.0）”。

4.10.3.2 读取和写入时序

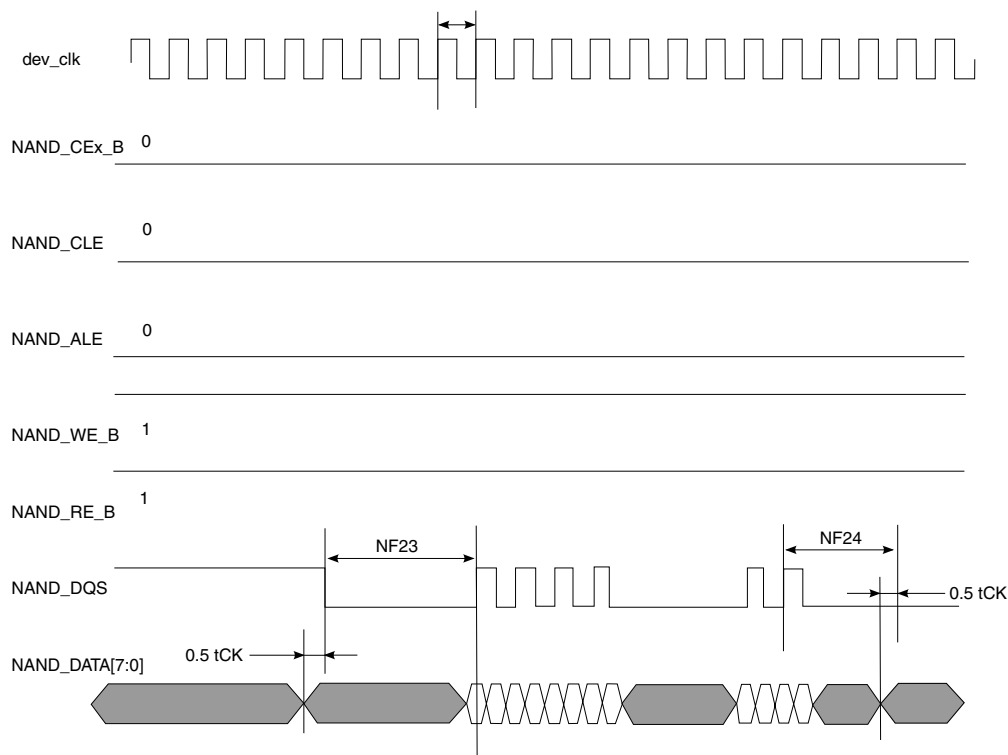


图 36. Samsung Toggle 模式数据写入时序

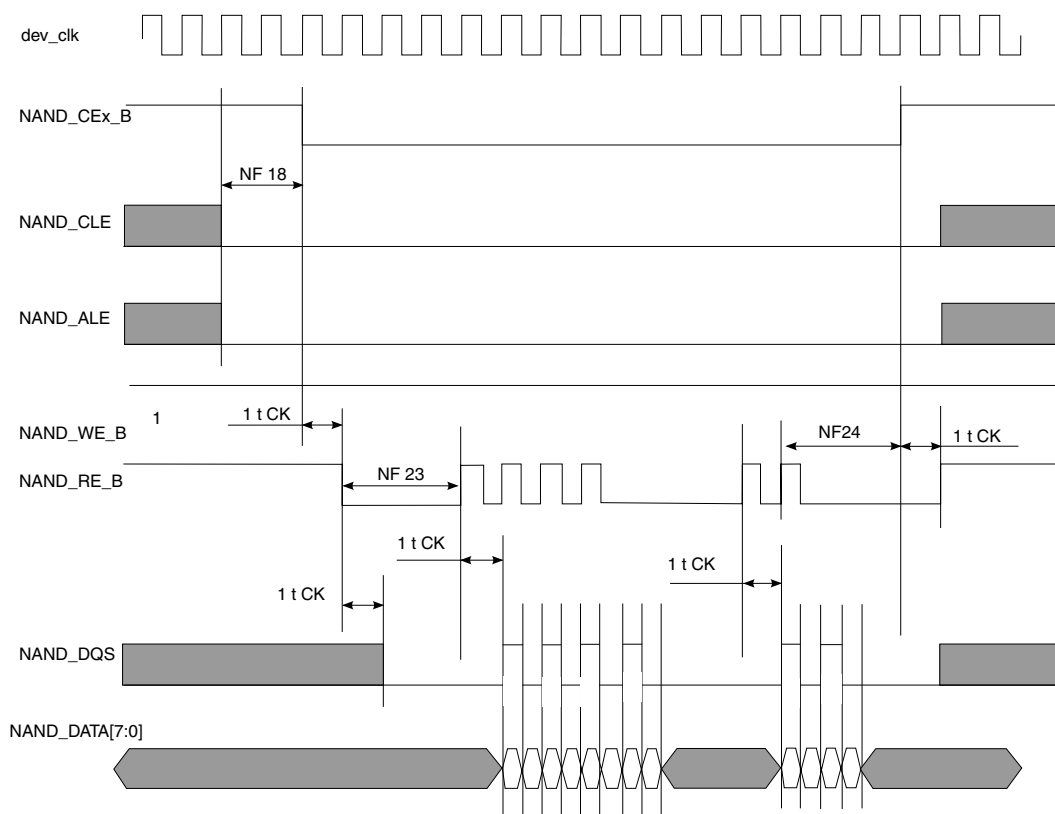


图 37. Samsung Toggle 模式数据读取时序

表 49. Samsung Toggle 模式时序参数¹

ID	参数	符号	时序 T = GPMI 时钟周期		单位
			最小值	最大值	
NF1	NAND_CLE 建立时间	tCLS	$(AS + DS) \times T - 0.12$ [参见 ^{2, 3}]		—
NF2	NAND_CLE 保持时间	tCLH	$DH \times T - 0.72$ [参见 ²]		—
NF3	NAND_CE0_B 建立时间	tCS	$(AS + DS) \times T - 0.58$ [参见 ^{3, 2}]		—
NF4	NAND_CE0_B 保持时间	tCH	$DH \times T - 1$ [参见 ²]		—
NF5	NAND_WE_B 脉宽	tWP	$DS \times T$ [参见 ²]		—
NF6	NAND_ALE 建立时间	tALS	$(AS + DS) \times T - 0.49$ [参见 ^{3, 2}]		—
NF7	NAND_ALE 保持时间	tALH	$DH \times T - 0.42$ [参见 ²]		—
NF8	命令 / 地址 NAND_DATAxx 建立时间	tCAS	$DS \times T - 0.26$ [参见 ²]		—
NF9	命令 / 地址 NAND_DATAxx 保持时间	tCAH	$DH \times T - 1.37$ [参见 ²]		—
NF18	NAND_CEx_B 访问时间	tCE	$CE_DELAY \times T$ [参见 ^{4, 2}]	—	ns
NF22	时钟周期	tCK	—	—	ns
NF23	前同步码延迟	tPRE	$PRE_DELAY \times T$ [参见 ^{5, 2}]	—	ns
NF24	后同步码延迟	tPOST	$POST_DELAY \times T + 0.43$ [参见 ²]	—	ns

表 49. Samsung Toggle 模式时序参数¹ (续)

ID	参数	符号	时序 T = GPMI 时钟周期		单位
			最小值	最大值	
NF28	数据写入建立	tDS ⁶	$0.25 \times tCK - 0.32$	—	ns
NF29	数据写入保持	tDH ⁶	$0.25 \times tCK - 0.79$	—	ns
NF30	NAND_DQS/NAND_DQ 读取建立偏差	tDQSQ ⁷	—	3.18	—
NF31	NAND_DQS/NAND_DQ 读取保持偏差	tQHS ⁷	—	3.27	—

¹ GPMI Toggle模式输出时序由该模块的内部寄存器HW_GPMI_TIMING0_ADDRESS_SETUP、HW_GPMI_TIMING0_DATA_SETUP和HW_GPMI_TIMING0_DATA_HOLD控制。此AC时序取决于这些寄存器的设置。在此表中，AS/DS/DH代表每种设置。

² AS最小值可以为0，但DS/DH的最小值为1。

³ T = tCK (GPMI时钟周期) - 0.075ns (最大p-p抖动的一半)。

⁴ CE_DELAY代表HW_GPMI_TIMING2[CE_DELAY]。NF18由设计保证。开始读/写操作充足的时间将ALE/CLE断言为低级

⁵ PRE_DELAY+1) ≥ (AS+DS)。

⁶ 如图36中所示。

⁷ 如图37中所示。

对于DDR Toggle模式，图35介绍了NAND_DQS/NAND_DATA_{xx}读有效窗口的时序图。在133MB/s时，tDQSQ的典型值为1.4ns（最大），而tQHS的典型值为1.4ns（最大）。GPMI将在延迟NAND_DQS信号的上升和下降沿采样NAND_DATA[7:0]，该信号由内部DPLL提供。此寄存器的延迟值由GPMI寄存器GPMI_READ_DDR_DLL_CTRL控制。SLV_DLY_TARGET（请参见*i.MX 6UltraLite 参考手册*的GPMI章节）。一般来说，典型延迟值等于0x7，它表示预期延迟为1/4个时钟周期。但是，如果板级延迟足够长且无法忽略，则应加大延迟值，以补偿板级延迟。

4.11 外部外设接口参数

以下小节提供了与外部外设接口相关的信息。

4.11.1 CMOS 传感器接口 (CSI) 时序参数

4.11.1.0.1 门控时钟模式时序

图38和图39介绍了CSI的门控时钟模式时序，表50介绍了图中所示的时序参数(P1-P7)。帧从CSI_VSYNC (VSYNC) 上的上升/下降沿开始，然后CSI_HSYNC (HSYNC) 有效并保持。只要HSYNC有效，则像素时钟CSI_PIXCLK (PIXCLK) 均有效。

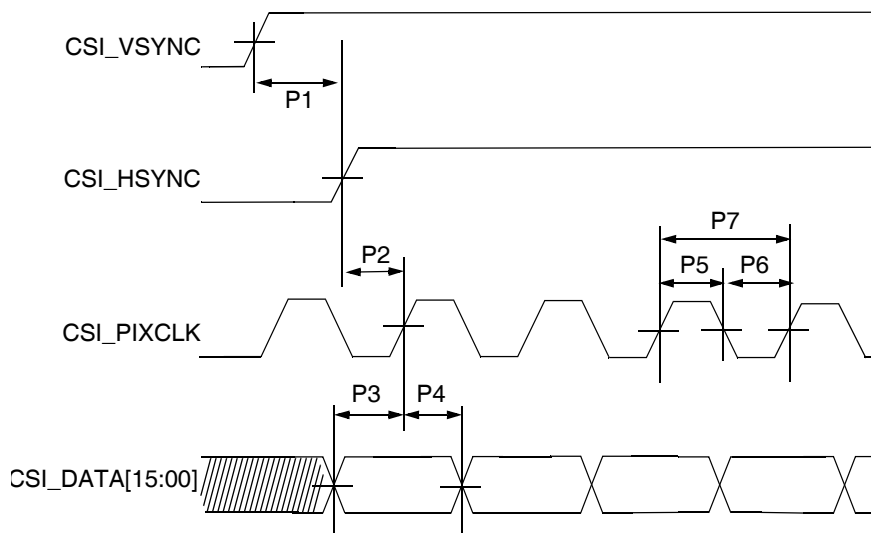


图 38. CSI 门控时钟模式 — 下降沿处感测数据，上升沿处锁存数据

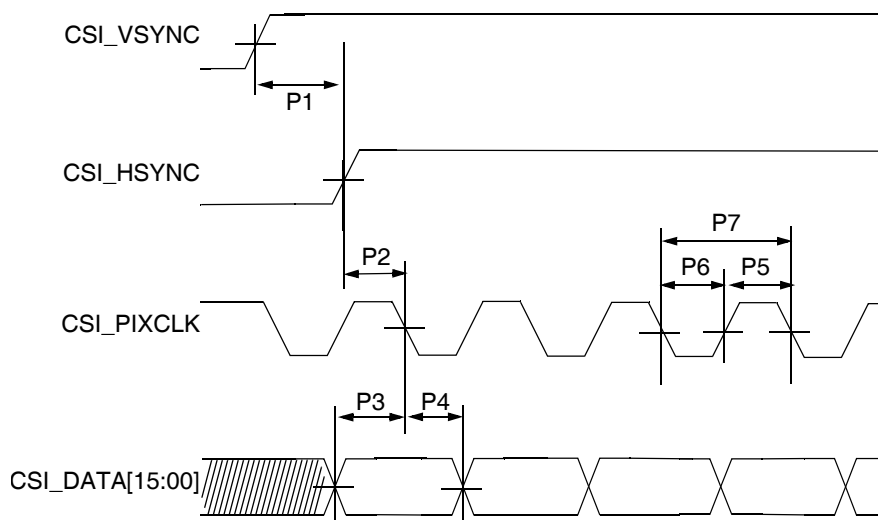


图 39. CSI 门控时钟模式 — 上升沿处感测数据，下降沿处锁存数据

表 50. CSI 门控时钟模式时序参数

ID	参数	符号	最小值	最大值	单元
P1	CSI_VSYNC 至 CSI_HSYNC 时间	tV2H	33.5	—	ns
P2	CSI_HSYNC 建立时间	tHsu	1	—	ns
P3	CSI 数据建立时间	tDsu	1	—	ns
P4	CSI 数据保持时间	tDH	1	—	ns
P5	CSI 像素时钟高电平时间	tCLKh	3.75	—	ns
P6	CSI 像素时钟低电平时间	tCLKl	3.75	—	ns
P7	CSI 像素时钟频率	fCLK	—	148.5	MHz

4.11.1.0.2 非门控时钟模式时序

图 40 介绍了 CSI 的非门控时钟模式时序，表 51 介绍了图中所示的时序参数 (P1-P6)。在非门控模式下，使用的是 CSI_VSYNC 和 CSI_PIXCLK 信号，忽略 CSI_HSYNC 信号。

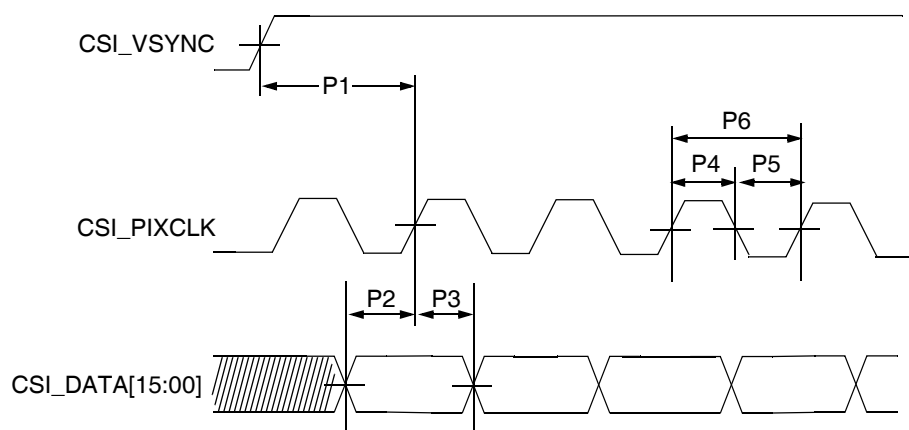


图 40. CSI 非门控时钟模式 — 时序参数

表 51. CSI 非门控时钟模式时序参数

ID	参数	符号	最小值	最大值	单元
P1	CSI_VSYNC 至像素时钟时间	tVSYNC	33.5	—	ns
P2	CSI 数据建立时间	tDsu	1	—	ns
P3	CSI 数据保持时间	tDH	1	—	ns
P4	CSI 像素时钟高电平时间	tCLKh	3.75	—	ns
P5	CSI 像素时钟低电平时间	tCLKl	3.75	—	ns
P6	CSI 像素时钟频率	fCLK	—	148.5	MHz

CSI 使芯片可以直接连接至外部 CMOS 图像传感器，它们被分为非智能或智能，如下所示：

- 非智能传感器仅支持传统的传感器时序（垂直同步 (VSYNC) 和水平同步 (HSYNC)）并且仅输出 Bayer 和统计数据。
- 智能传感器支持 CCIR656 视频解码器格式，而且还可执行额外的图像处理（如图像压缩、图像预过滤和不同数据输出格式）。

以下小节介绍了门控和非门控时钟模式下的 CSI 时序。

4.11.2 ECSPI 时序参数

本章节介绍 ECSPI 模块的时序参数。在主机和从机模式下，ECSPI 具有单独的时序参数。

4.11.2.1 ECSPI 主机模式时序

图 41 介绍了 ECSPI 在主机模式下的时序。表 52 列出了 ECSPI 主机模式时序特性。

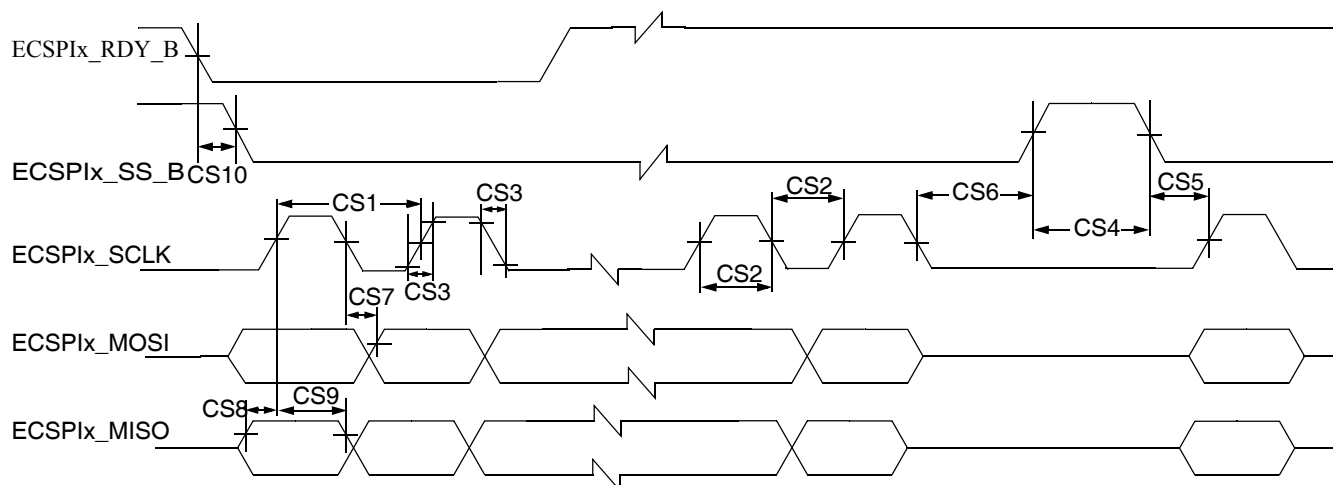


图 41. ECSPI 主机模式时序图

表 52. ECSPI 主机模式时序参数

ID	参数	符号	最小值	最大值	单位
CS1	ECSPi_x_SCLK 周期时间 — 读取 ECSPi_x_SCLK 周期时间 — 写入	t_{clk}	43 15	—	ns
CS2	ECSPi_x_SCLK 高或低时间 — 读取 ECSPi_x_SCLK 高或低时间 — 写入	t_{SW}	21.5 7	—	ns
CS3	ECSPi_x_SCLK 上升或下降 ¹	$t_{RISE/FALL}$	—	—	ns
CS4	ECSPi_x_SS_B 脉宽	t_{CSLH}	半个 ECSPi_x_SCLK 周期	—	ns
CS5	ECSPi_x_SS_B 前置时间 (CS 建立时间)	t_{SCS}	半个 ECSPi_x_SCLK 周期 - 4	—	ns
CS6	ECSPi_x_SS_B 滞后时间 (CS 保持时间)	t_{HCS}	半个 ECSPi_x_SCLK 周期 - 2	—	ns
CS7	ECSPi_x_MOSI 传播延迟 ($C_{LOAD} = 20 \text{ pF}$)	t_{PDmosi}	-1	1	ns
CS8	ECSPi_x_MISO 建立时间	t_{Smiso}	14	—	ns
CS9	ECSPi_x_MISO 保持时间	t_{Hmiso}	0	—	ns
CS10	RDY 至 ECSPi_x_SS_B 时间 ²	t_{SDRY}	5	—	ns

¹ 请参见具体的 I/O 交流参数第 4.7 节，“I/O 交流参数”。

² SPI_RDY 由 ipg_clk 进行内部采样，并与所有其他 CSPI 信号异步。

4.11.2.2 ECSPi 从机模式时序

图 42 介绍了 ECSPi 在从机模式下的时序。表 53 列出了 ECSPi 从机模式时序特性。

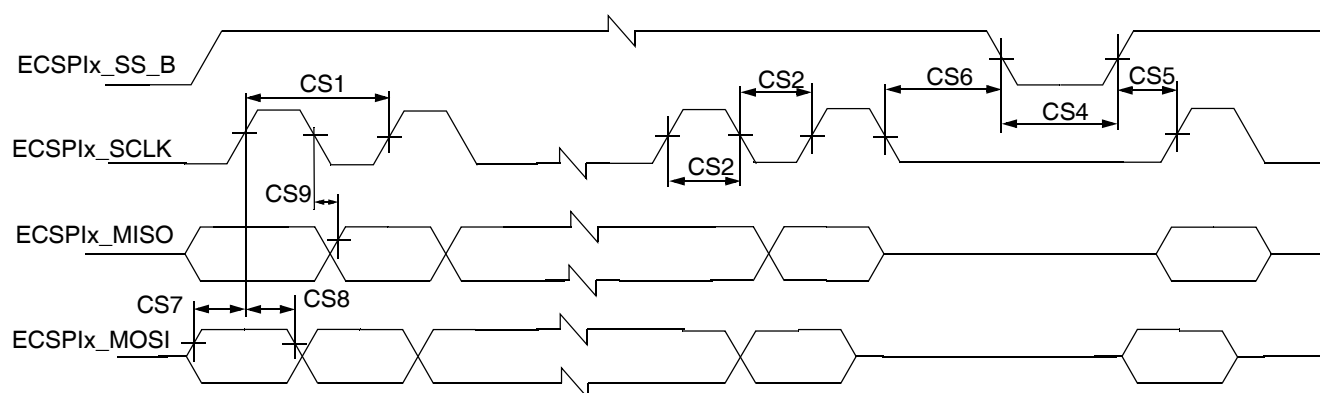


图 42. ECSPi 从机模式时序图

表 53. ECSPi 从机模式时序参数

ID	参数	符号	最小值	最大值	单位
CS1	ECSPi_SCLK 周期时间 — 读取 ECSPi_SCLK 周期时间 — 写入	t_{clk}	15 43	—	ns
CS2	ECSPi_SCLK 高或低时间 — 读取 ECSPi_SCLK 高或低时间 — 写入	t_{sw}	7 21.5	—	ns
CS4	ECSPi_SS_B 脉宽	t_{CSLH}	半个 ECSPi_SCLK 周期	—	ns
CS5	ECSPi_SS_B 前置时间 (CS 建立时间)	t_{SCS}	5	—	ns
CS6	ECSPi_SS_B 滞后时间 (CS 保持时间)	t_{HCS}	5	—	ns
CS7	ECSPi_MOSI 建立时间	t_{Smosi}	4	—	ns
CS8	ECSPi_MOSI 保持时间	t_{Hmosi}	4	—	ns
CS9	ECSPi_MISO 传播延迟 ($C_{LOAD} = 20 \text{ pF}$)	t_{PDmiso}	4	19	ns

4.11.3 超高速 SD/SDIO/MMC 主机接口 (uSDHC) 交流时序

本章节介绍了 uSDHC 的电气信息，包括 SD/eMMC4.3（单数据传输速率）时序、eMMC4.4/4.41/4.5（双数据传输速率）时序和 SDR104/50(SD3.0) 时序。

4.11.3.1 SD/eMMC4.3（单数据传输速率）交流时序

图 43 介绍了 SD/eMMC4.3 的时序，表 54 列出了 SD/eMMC4.3 的时序特性。

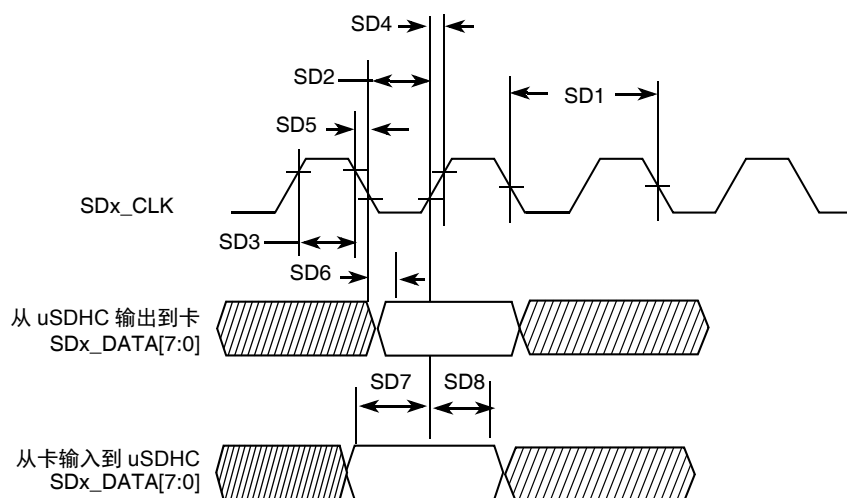


图 43. SD/eMMC4.3 时序

表 54. SD/eMMC4.3 接口时序规格

ID	参数	符号	最小值	最大值	单位
卡输入时钟					
SD1	时钟频率（低速）	f_{PP}^1	0	400	kHz
	时钟频率（SD/SDIO 全速 / 高速）	f_{PP}^2	0	25/50	MHz
	时钟频率（MMC 全速 / 高速）	f_{PP}^3	0	20/52	MHz
	时钟频率（标识模式）	f_{OD}	100	400	kHz
SD2	时钟低电平时间	t_{WL}	7	—	ns
SD3	时钟高电平时间	t_{WH}	7	—	ns
SD4	时钟上升时间	t_{TLH}	—	3	ns
SD5	时钟下降时间	t_{THL}	—	3	ns
uSDHC 输出 / 卡输入 SD_CMD、SDx_DATAx（参考 CLK）					
SD6	uSDHC 输出延迟	t_{OD}	-6.6	3.6	ns
uSDHC 输入 / 卡输出 SD_CMD、SDx_DATAx（参考 CLK）					
SD7	uSDHC 输入建立时间	t_{ISU}	2.5	—	ns
SD8	uSDHC 输入保持时间 ⁴	t_{IH}	1.5	—	ns

- ¹ 在低速模式下，卡时钟必须低于 400 kHz，电压范围为 2.7 至 3.6 V。
- ² 在 SD/SDIO 卡的正常速度（全速）模式下，时钟频率可以为 0-25 MHz 之间的任何值。在高速模式下，时钟频率可以为 0-50 MHz 之间的任何值。
- ³ 在 MMC 卡的正常速度（全速）模式下，时钟频率可以为 0-20 MHz 之间的任何值。在高速模式下，时钟频率可以为 0-52 MHz 之间的任何值。
- ⁴ 为了满足保持时间，时钟输入与 cmd/ 数据输入之间的延迟差不得超过 2 ns。

4.11.3.2 eMMC4.4/4.41（双数据传输速率）交流时序

图 44 介绍了 eMMC4.4/4.41 的时序，表 55 列出了 eMMC4.4/4.41 的时序特性。请注意，仅对时钟两个边沿上的数据进行了采样（不适用于 CMD）。

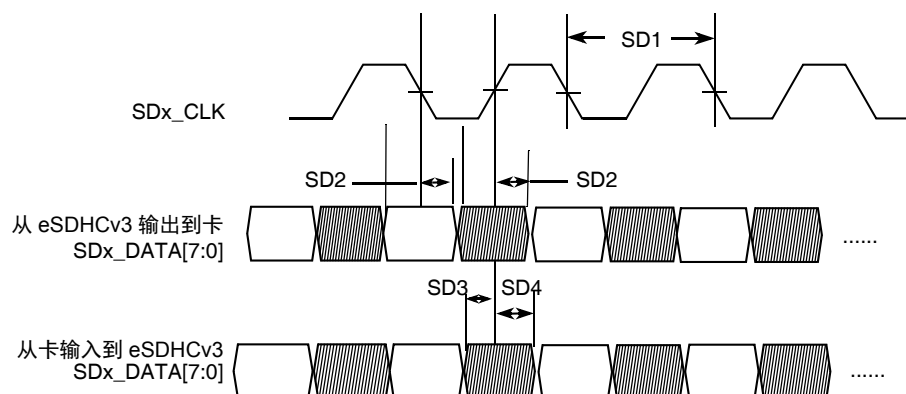


图 44. eMMC4.4/4.41 时序

表 55. eMMC4.4/4.41 接口时序规格

ID	参数	符号	最小值	最大值	单位
卡输入时钟					
SD1	时钟频率 (eMMC4.4/4.41 DDR)	f_{PP}	0	52	MHz
SD1	时钟频率 (SD3.0 DDR)	f_{PP}	0	50	MHz
uSDHC 输出 / 卡输入 SD_CMD、SDx_DATAx（参考 CLK）					
SD2	uSDHC 输出延迟	t_{OD}	2.5	7.1	ns
uSDHC 输入 / 卡输出 SD_CMD、SDx_DATAx（参考 CLK）					
SD3	uSDHC 输入建立时间	t_{ISU}	2.6	—	ns
SD4	uSDHC 输入保持时间	t_{IH}	1.5	—	ns

4.11.3.3 SDR50/SDR104 交流时序

图 45 介绍了 SDR50/SDR104 的时序，表 56 列出了 SDR50/SDR104 的时序特性。

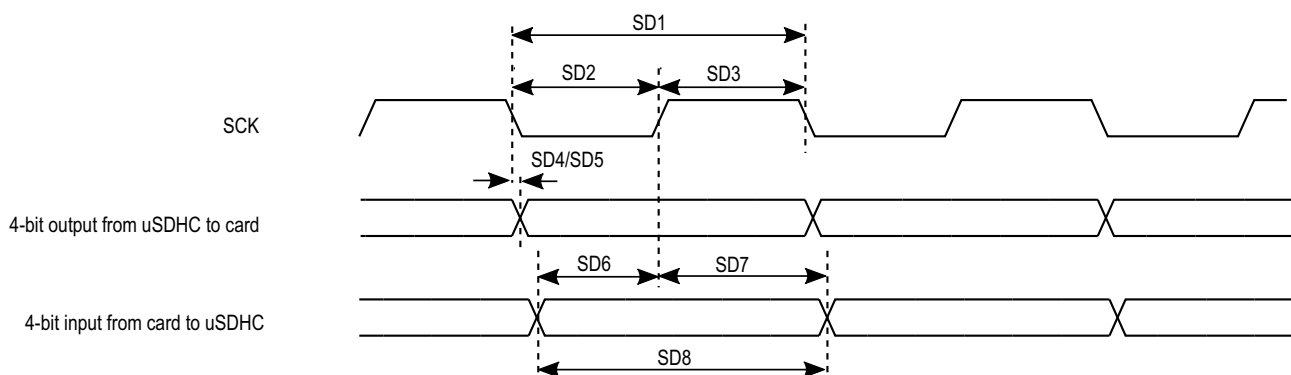


图 45. SDR50/SDR104 时序

表 56. SDR50/SDR104 接口时序规格

ID	参数	符号	最小值	最大值	单位
卡输入时钟					
SD1	时钟频率周期	t_{CLK}	5.0	—	ns
SD2	时钟低电平时间	t_{CL}	$0.3 \cdot t_{CLK}$	$0.7 \cdot t_{CLK}$	ns
SD2	时钟高电平时间	t_{CH}	$0.3 \cdot t_{CLK}$	$0.7 \cdot t_{CLK}$	ns
SDR50 中的 uSDHC 输出 / 卡输入 SD_CMD、SDx_DATAx (参考 CLK)					
SD4	uSDHC 输出延迟	t_{OD}	-3	1	ns
SDR104 中的 uSDHC 输出 / 卡输入 SD_CMD、SDx_DATAx (参考 CLK)					
SD5	uSDHC 输出延迟	t_{OD}	-1.6	1	ns
SDR50 中的 uSDHC 输入 / 卡输出 SD_CMD、SDx_DATAx (参考 CLK)					
SD6	uSDHC 输入建立时间	t_{ISU}	2.5	—	ns
SD7	uSDHC 输入保持时间	t_{IH}	1.5	—	ns
SDR104 中的 uSDHC 输入 / 卡输出 SD_CMD、SDx_DATAx (参考 CLK) ¹					
SD8	卡输出数据窗口	t_{ODW}	$0.5 \cdot t_{CLK}$	—	ns

¹ SDR104 模式下的数据窗口为变量。

4.11.3.4 HS200 模式时序

图 46 介绍了 HS200 模式的时序，表 57 列出了 HS200 的时序特性。

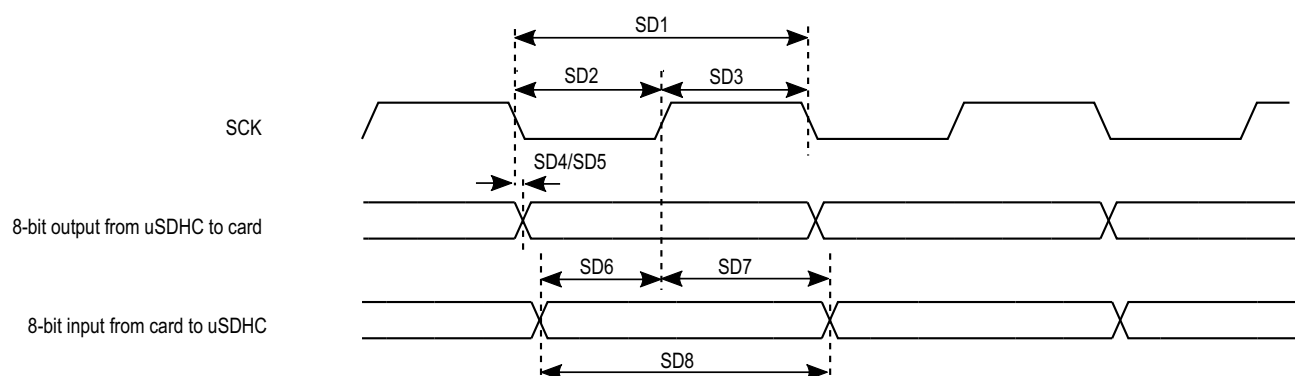


图 46. HS200 模式时序

表 57. HS200 接口时序规格

ID	参数	符号	最小值	最大值	单位
卡输入时钟					
SD1	时钟频率周期	t_{CLK}	5.0	—	ns
SD2	时钟低电平时间	t_{CL}	$0.3 \cdot t_{CLK}$	$0.7 \cdot t_{CLK}$	ns
SD2	时钟高电平时间	t_{CH}	$0.3 \cdot t_{CLK}$	$0.7 \cdot t_{CLK}$	ns
HS200 中的 uSDHC 输出 / 卡输入 SD_CMD、SDx_DATAx (参考 CLK)					
SD5	uSDHC 输出延迟	t_{OD}	-1.6	1	ns
HS200 中的 uSDHC 输入 / 卡输出 SD_CMD、SDx_DATAx (参考 CLK) ¹					
SD8	卡输出数据窗口	t_{ODW}	$0.5 \cdot t_{CLK}$	—	ns

¹ HS200 适合于 8 位，而 SDR104 适合于 4 位。

4.11.3.5 3.3 V 和 1.8 V 信号的总线工作条件

SD/eMMC4.3 和 eMMC4.4/4.41 模式的信号电平为 3.3 V。SDR104/SDR50 模式的信号电平为 1.8 V。NVCC_SD1 电源的直流参数与第 34 页上的表 24，“信号电压 GPIO 直流参数”中所示参数相同。

4.11.4 以太网控制器 (ENET) 交流电气参数

以下所示为芯片 I/O 引脚处的时序规格，必须相应地进行转换，以达到物理接口的时序规格/约束。

4.11.4.1 ENET MII 模式时序

本小节介绍了 MII 接收、发送、异步输入和串行管理信号时序。

4.11.4.1.1 MII 接收信号时序 (ENET_RX_DATA3、2、1、0、ENET_RX_EN、ENET_RX_ER 和 ENET_RX_CLK)

此接收器可在 ENET_RX_CLK 的最大频率最高支持 25 MHz + 1% 时正常运行。无最低频率要求。此外，处理器时钟频率必须超过 ENET_RX_CLK 频率的两倍。

图 47 介绍了 MII 接收信号时序。表 58 介绍了图中所示时序参数 (M1-4)。

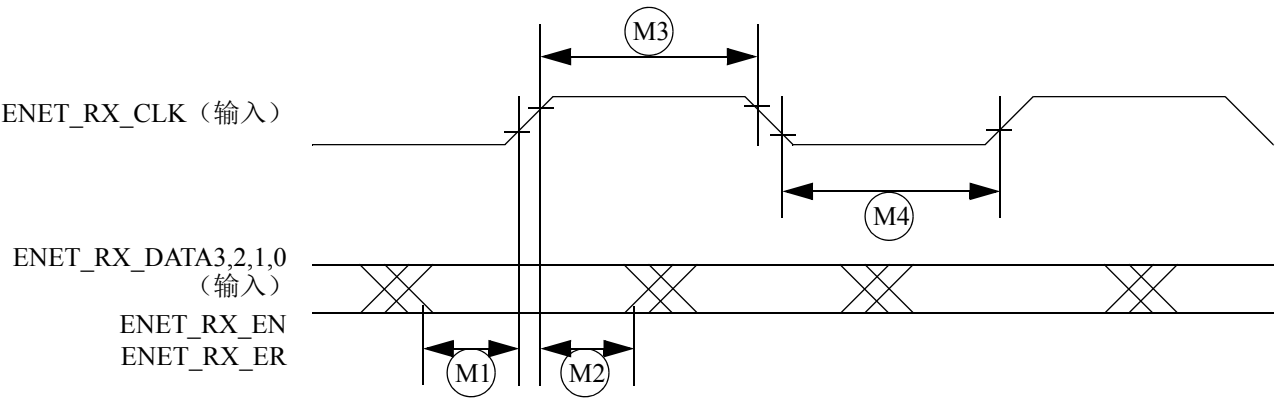


图 47. MII 接收信号时序图

表 58. MII 接收信号时序

ID	特性 ¹	最小值	最大值	单位
M1	ENET_RX_DATA3、2、1、0、ENET_RX_EN、ENET_RX_ER 至 ENET_RX_CLK 的建立时间	5	—	ns
M2	ENET_RX_CLK 至 ENET_RX_DATA3、2、1、0、ENET_RX_EN、ENET_RX_ER 的保持时间	5	—	ns
M3	ENET_RX_CLK 高电平脉宽	35%	65%	ENET_RX_CLK 周期
M4	ENET_RX_CLK 低电平脉宽	35%	65%	ENET_RX_CLK 周期

¹ ENET_RX_EN、ENET_RX_CLK 和 ENET0_RXD0 与 10 Mbps 7 线接口模式下的时序相同。

4.11.4.1.2 MII 发送信号时序 (ENET_TX_DATA3、2、1、0、ENET_TX_EN、ENET_TX_ER 和 ENET_TX_CLK)

此发送器可在 ENET_TX_CLK 的最大频率最高支持 25 MHz + 1% 时正常运行。无最低频率要求。此外，处理器时钟频率必须超过 ENET_TX_CLK 频率的两倍。

图 48 介绍了 MII 发送信号时序。表 59 介绍了图中所示时序参数 (M5-8)。

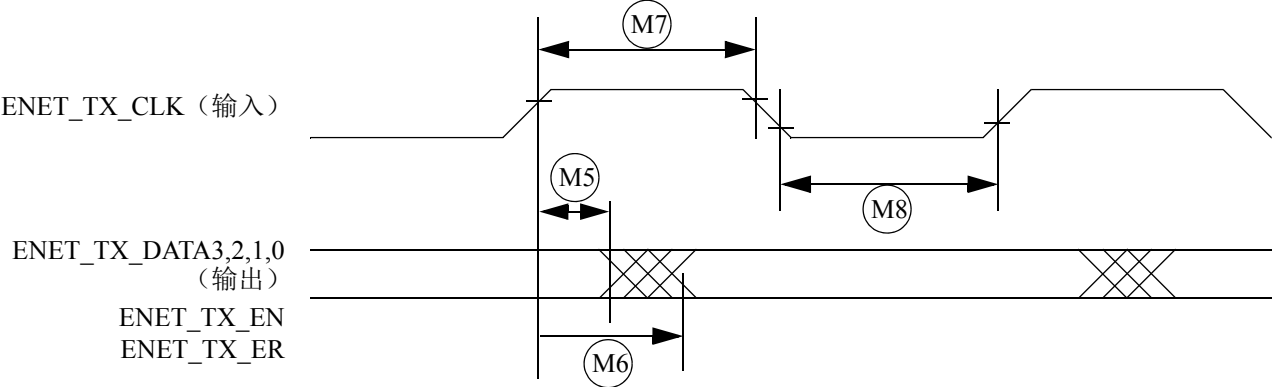


图 48. MII 发送信号时序图

表 59. MII 发送信号时序

ID	特性 ¹	最小值	最大值	单位
M5	ENET_TX_CLK至ENET_TX_DATA3、2、1、0、ENET_TX_EN、ENET_TX_ER 无效	5	—	ns
M6	ENET_TX_CLK至ENET_TX_DATA3、2、1、0、ENET_TX_EN、ENET_TX_ER 有效	—	20	ns
M7	ENET_TX_CLK 高电平脉宽	35%	65%	ENET_TX_CLK 周期
M8	ENET_TX_CLK 低电平脉宽	35%	65%	ENET_TX_CLK 周期

¹ ENET_TX_EN、ENET_TX_CLK 和 ENET0_TXD0 与 10 Mbps 7 线接口模式下的时序相同。

4.11.4.1.3 MII 异步输入信号时序（ENET_CRS 和 ENET_COL）

图 49 介绍了 MII 异步输入时序。表 60 介绍了图中所示时序参数 (M9)。

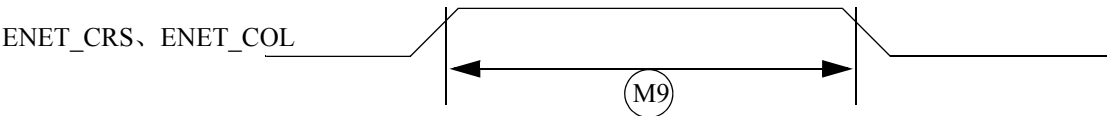


图 49. MII 异步输入时序图

表 60. MII 异步输入信号时序

ID	特性	最小值	最大值	单位
M9 ¹	ENET_CRS 至 ENET_COL 最小脉宽	1.5	—	ENET_TX_CLK 周期

¹ ENET_COL 与 10-Mbs 7 线接口模式下的时序相同。

4.11.4.1.4 MII 串行通道时序（ENET_MDIO 和 ENET_MDC）

MDC 频率设计为等于或小于 2.5 MHz，以符合 IEEE 802.3 MII 规范。但是，ENET 可在最大 MDC 频率达 15 MHz 下正常工作。

图 50 介绍了 MII 异步输入时序。表 61 介绍了图中所示时序参数 (M10-15)。

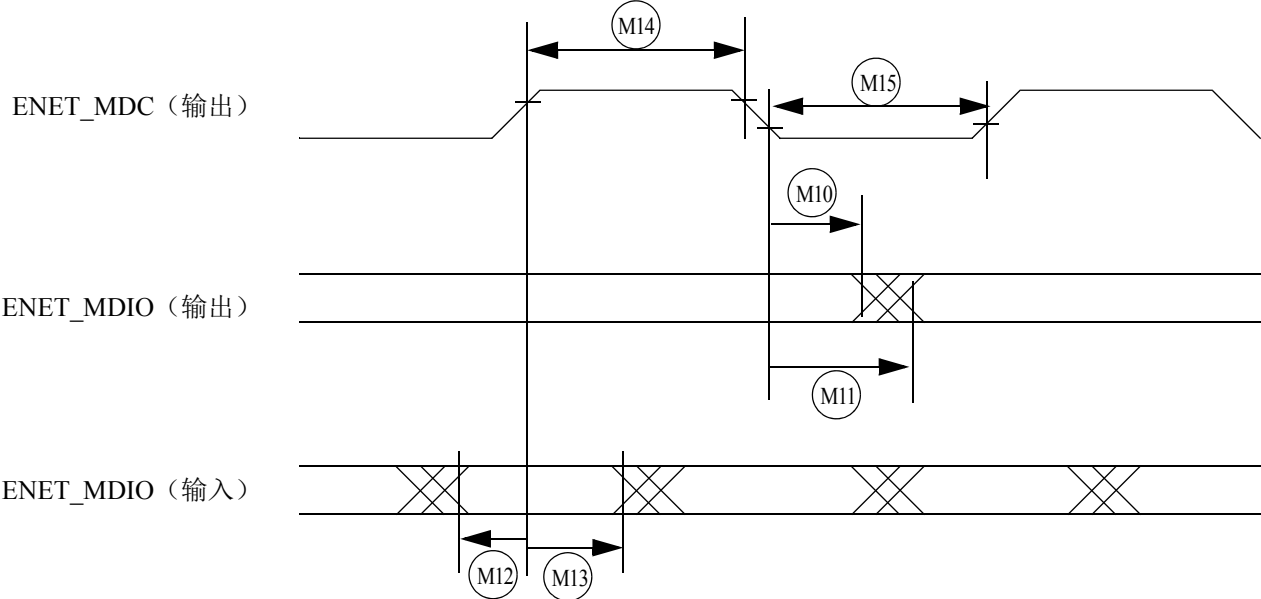


图 50. MII 串行管理通道时序图

表 61. MII 串行管理通道时序

ID	特性	最小值	最大值	单位
M10	ENET_MDC 下降沿至 ENET_MDIO 输出无效（最小传播延迟）	0	—	ns
M11	ENET_MDC 下降沿至 ENET_MDIO 输出有效（最大传播延迟）	—	5	ns
M12	ENET_MDIO（输入）至 ENET_MDC 上升沿建立时间	18	—	ns
M13	ENET_MDIO（输入）至 ENET_MDC 上升沿保持时间	0	—	ns
M14	ENET_MDC 高电平脉宽	40%	60%	ENET_MDC 周期
M15	ENET_MDC 低电平脉宽	40%	60%	ENET_MDC 周期

4.11.4.2 RMII 模式时序

在 RMII 模式下，ENET_CLK 用作 REF_CLK，它是一个 50 MHz ± 50 ppm 持续参考时钟。ENET_RX_EN 用作 RMII 中的 ENET_RX_EN。RMII 模式下的其他信号包括 ENET_TX_EN、ENET_TX_DATA[1:0]、ENET_RX_DATA[1:0] 和 ENET_RX_ER。

图 51 介绍了 RMII 模式时序。表 62 介绍了图中所示时序参数 (M16-21)。

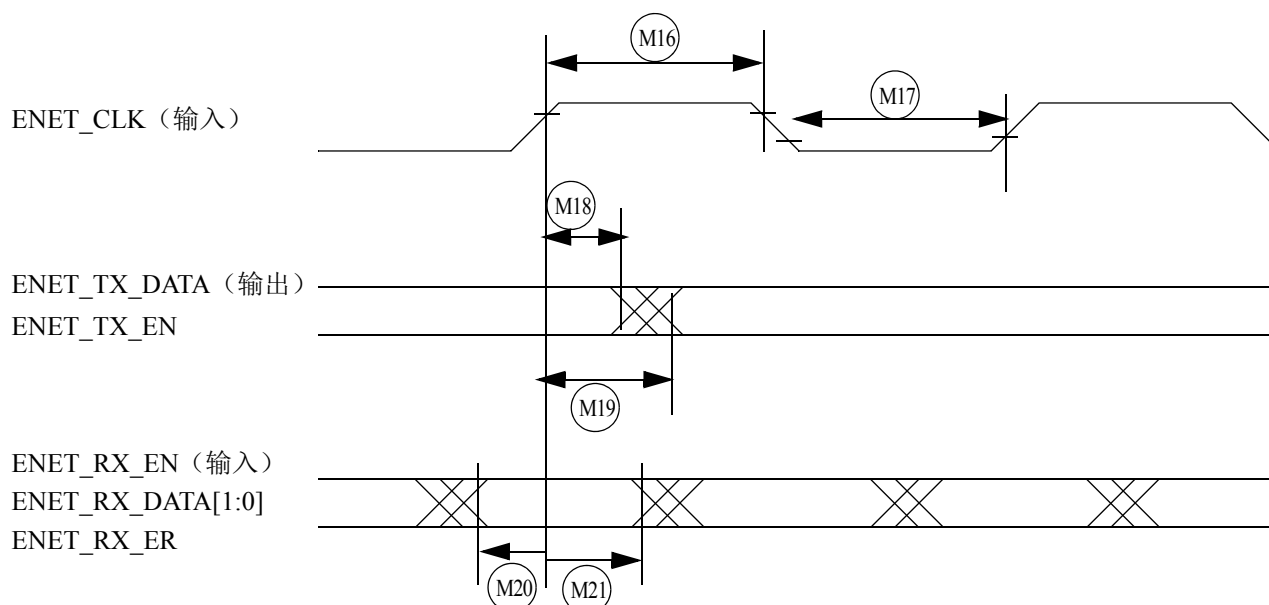


图 51. RMII 模式信号时序图

表 62. RMII 信号时序

ID	特性	最小值	最大值	单位
M16	ENET_CLK 高电平脉宽	35%	65%	ENET_CLK 周期
M17	ENET_CLK 低电平脉宽	35%	65%	ENET_CLK 周期
M18	ENET_CLK 至 ENET0_TXD[1:0], ENET_TX_DATA 无效	4	—	ns
M19	ENET_CLK 至 ENET0_TXD[1:0], ENET_TX_DATA 有效	—	13	ns
M20	ENET_RX_DATA[1:0]、ENET_RX_EN(ENET_RX_EN)、ENET_RX_ER 至 ENET_CLK 的建立时间	2	—	ns
M21	ENET_CLK 至 ENET_RX_DATA[1:0]、ENET_RX_EN、ENET_RX_ER 的保持时间	2	—	ns

4.11.5 灵活控制器局域网 (FLEXCAN) 交流电气规格

灵活控制器局域网 (FlexCAN) 模块是一个通信控制器，它根据 CAN 2.0B 协议规范实施 CAN 协议。该处理器提供两个 CAN 模块用于系统设计。两个模块的 Tx 和 Rx 端口与其他 I/O 引脚多路复用。请参见 *i.MX 6UltraLite 参考手册 (IMX6ULRM)* 的 IOMUX 章节，以了解显示 Tx 和 Rx 引脚的端口；这些端口的名称分别为 FLEXCAN_TX 和 FLEXCAN_RX。

4.11.6 I²C 模块时序参数

本章节介绍了 I²C 模块的时序参数。图 52 介绍了 I²C 模块的时序，表 63 列出了 I²C 模块的时序特性。

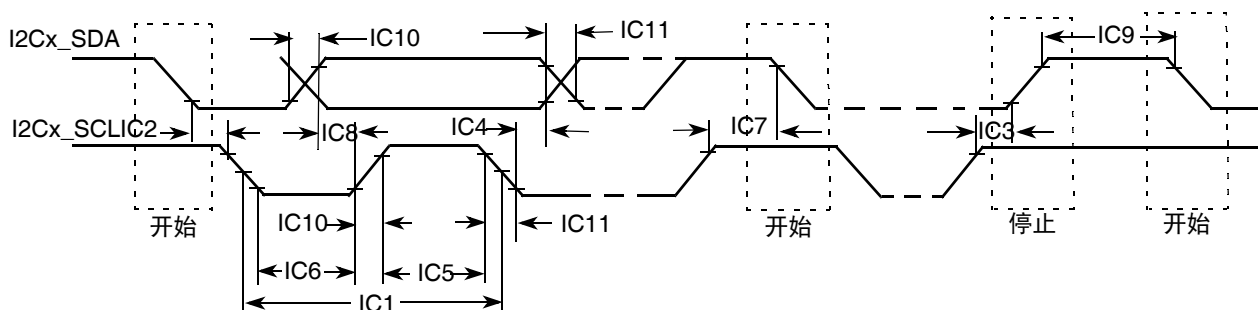


图 52. I²C 总线时序

表 63. I²C 模块时序参数

ID	参数	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
IC1	I2Cx_SCL 周期时间	10	—	2.5	—	μs
IC2	保持时间（重复）START 条件	4.0	—	0.6	—	μs
IC3	STOP 条件的建立时间	4.0	—	0.6	—	μs
IC4	数据保持时间	0 ¹	3.45 ²	0 ¹	0.9 ²	μs
IC5	I2Cx_SCL 时钟的 HIGH 周期	4.0	—	0.6	—	μs
IC6	I2Cx_SCL 时钟的 LOW 周期	4.7	—	1.3	—	μs
IC7	重复 START 条件的建立时间	4.7	—	0.6	—	μs
IC8	数据建立时间	250	—	100 ³	—	ns
IC9	STOP 和 START 条件之前的总线空闲时间	4.7	—	1.3	—	μs
IC10	I2Cx_SDA 和 I2Cx_SCL 信号的上升时间	—	1000	20 + 0.1C _b ⁴	300	ns
IC11	I2Cx_SDA 和 I2Cx_SCL 信号的下降时间	—	300	20 + 0.1C _b ⁴	300	ns
IC12	每条总线线路的电容负载 (C _b)	—	400	—	400	pF

¹ 器件必须在内部为 I2Cx_SDA 信号提供至少 300 ns 的保持时间，以连接 I2Cx_SCL 下降沿的未定义区域。

² 只有在器件不延长 I2Cx_SCL 信号的 LOW 周期（ID 号 IC5）时，才必须满足最大保持时间。

³ 可在标准模式 I²C 总线系统使用快速模式 I²C 总线器件，但必须满足建立时间（ID 号 IC7）为 250 ns 的要求。器件不延长 I2Cx_SCL 信号的 LOW 周期时，将自动适用该情形。

如果此类器件确实延长了 I2Cx_SCL 信号的 LOW 周期，则它必须在释放 I2Cx_SCL 线路之前，将下一个数据位输出至 I2Cx_SDA 线路 max_rise_time (IC9) + data_setup_time (IC7) = 1000 + 250 = 1250 ns（根据标准模式 I²C 总线规范）。

⁴ C_b = 一条总线线路的总电容，单位为 pF。

4.11.7 脉宽调制器（PWM）时序参数

本章节介绍了 PWM 的电气信息。可将 PWM 编程来选择三个时钟信号之一作为其时钟源。选定的时钟信号将在输入至计数器之前通过预分频器。通过脉宽调制器输出 (PWMO) 外部引脚提供输出。

图 53 介绍了 PWM 的时序，表 64 列出了 PWM 的时序参数。

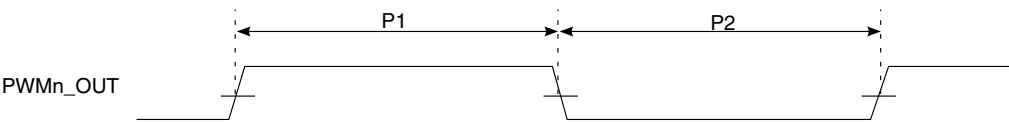


图 53. PWM 时序

表 64. PWM 输出时序参数

ID	参数	最小值	最大值	单位
	PWM 模块时钟频率	0	ipg_clk	MHz
P1	PWM 输出高电平脉宽	15	—	ns
P2	PWM 输出低电平脉宽	15	—	ns

4.11.8 QUAD SPI (QSPI) 时序参数

本章节介绍了 QSPI 的电气信息。所有数据来自器件的负边沿数据启动和正边沿数据捕获，如本章节中的时序图所示。

附注

测量所用的输出引脚负载为 35 pF。I/P 上升时间 = 1 ns

时序假定 QSPI_SMPR 寄存器的设置为 0x0000_000x（详情请参见 *i.MX 6UltraLite 参考手册*）。

4.11.8.1 SDR 模式

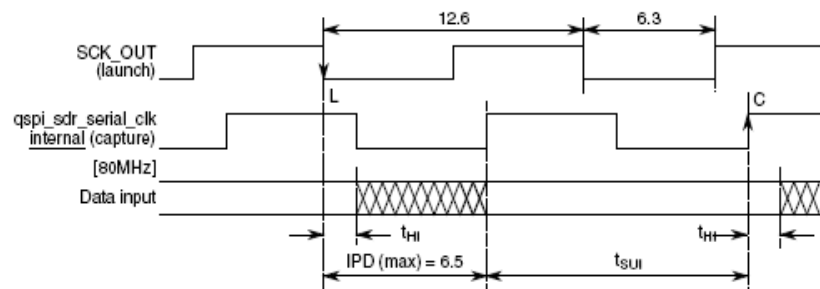


图 54. QuadSPI 输入时序（SDR 模式）

表 65. QuadSPI 输入时序（SDR 模式）

符号	参数	值		单位
		最小值	最大值	
T _{SUI}	输入数据的建立时间	12.4	—	ns
T _{HI}	输入数据的保持时间要求	4.5	—	ns

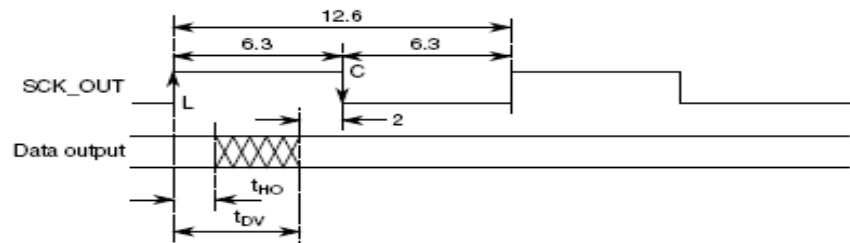


图 55. QuadSPI 输出时序（SDR 模式）

表 66. QuadSPI 输出时序（SDR 模式）

符号	参数	值		单位
		最小值	最大值	
T _{DV}	输出数据有效	—	12.4	ns
T _{HO}	输出数据保持	4.5	—	ns

4.11.8.2 DDR 模式

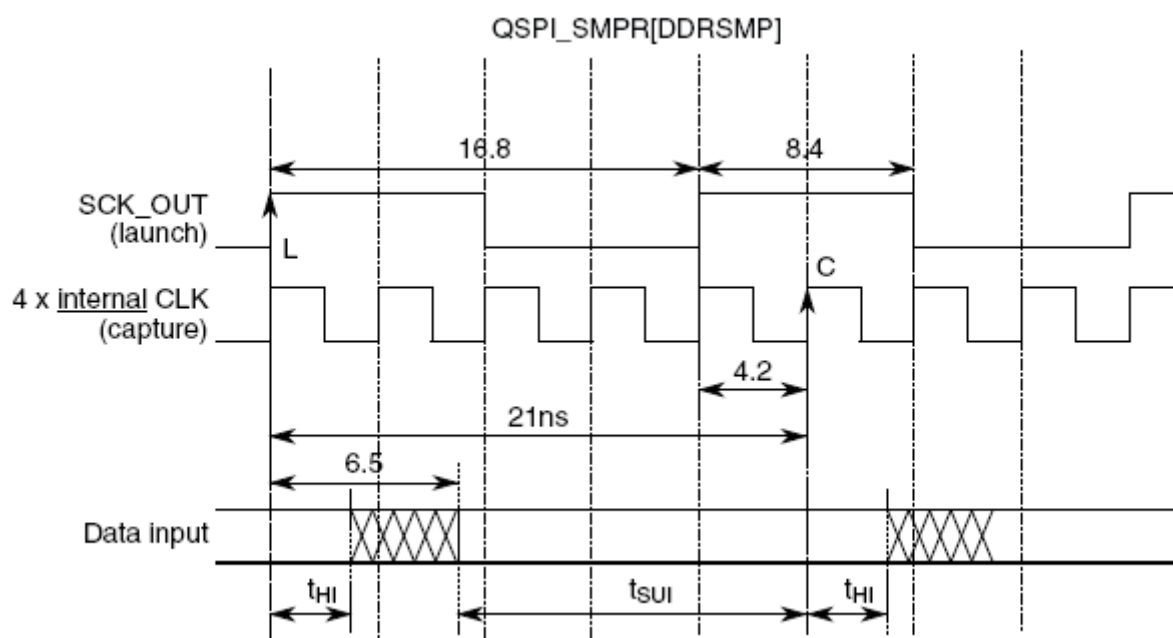


图 56. QuadSPI 输入时序 (DDR 模式)

表 67. QuadSPI 输入时序 (DDR 模式)

符号	参数	值		单位
		最小值	最大值	
T_{SUI}	输入数据的建立时间	14.5	—	ns
T_{HI}	输入数据的保持时间要求	4.5	—	ns

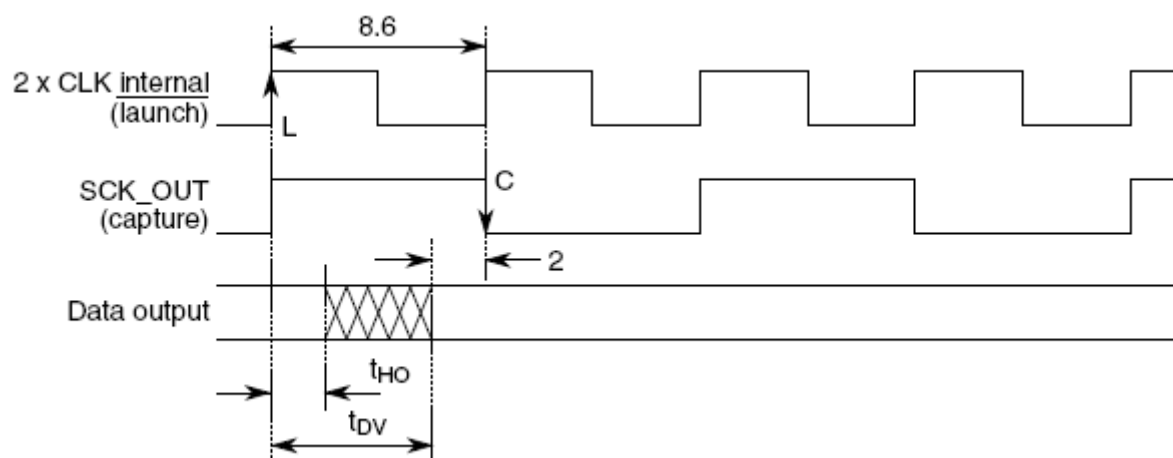


图 57. QuadSPI 输出时序 (DDR 模式)

表 68. QuadSPI 输出时序 (DDR 模式)

符号	参数	值		单位
		最小值	最大值	
T_{DV}	输出数据有效	—	6.4	ns
T_{HO}	输出数据保持	0.7	—	ns

4.11.9 SAI/I2S 开关规格

本节将描述 SAI 在主机模式（时钟为内部驱动）和从机模式（时钟信号为输入）中的交流时序。所有时序基于非反相串行时钟极性（SAI_TCR[TSCKP] = 0、SAI_RCR[RSCKP] = 0）和非反相帧同步信号（SAI_TCR[TFSI] = 0、SAI_RCR[RFSI] = 0）。如果时钟极性和 / 或帧同步置为反相，通过反转下图所示的位时钟信号 (SAI_BCLK) 和 / 或帧同步 (SAI_FS) 信号，可使所有时序仍然有效。

表 69. 主机模式 SAI 时序

编号	特性	最小值	最大值	单位
S1	SAI_MCLK 周期时间	$2 \times t_{sys}$	—	ns
S2	SAI_MCLK 高 / 低电平脉宽	40%	60%	MCLK 周期
S3	SAI_BCLK 周期时间	$4 \times t_{sys}$	—	ns
S4	SAI_BCLK 高 / 低电平脉宽	40%	60%	BCLK 周期
S5	SAI_BCLK 至 SAI_FS 输出有效	—	15	ns
S6	SAI_BCLK 至 SAI_FS 输出无效	0	—	ns
S7	SAI_BCLK 至 SAI_TXD 有效时间	—	15	ns
S8	SAI_BCLK 至 SAI_TXD 无效时间	0	—	ns
S9	SAI_BCLK 之前的 SAI_RXD/SAI_FS 输入建立时间	15	—	ns
S10	SAI_BCLK 之后的 SAI_RXD/SAI_FS 输入保持时间	0	—	ns

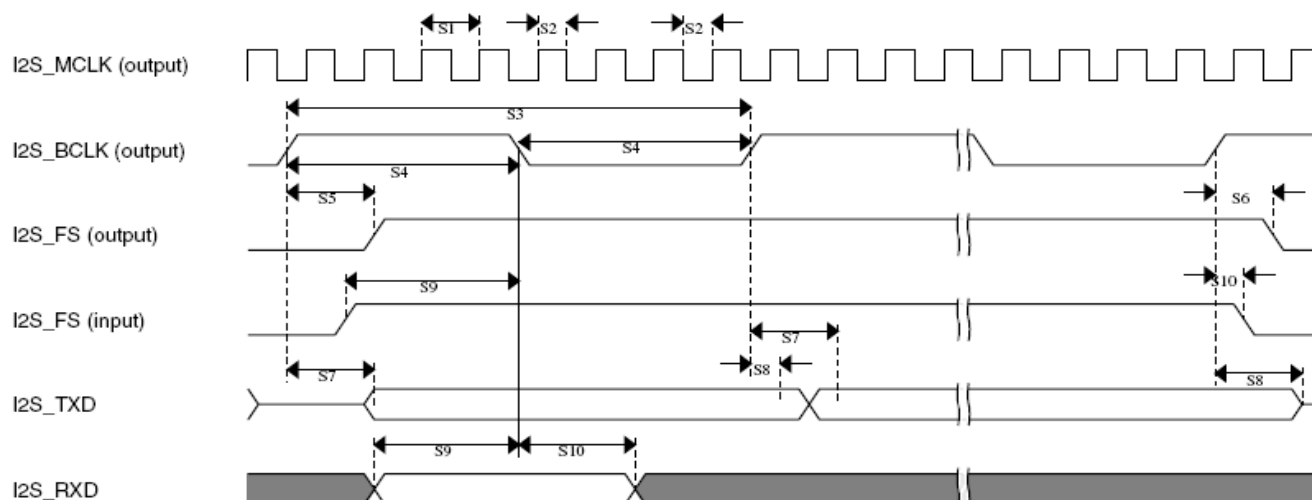


图 58. SAI 时序 — 主机模式

表 70. 主机模式 SAI 时序

编号	特性	最小值	最大值	单位
S11	SAI_BCLK 周期时间 (输入)	$4 \times t_{\text{sys}}$	—	ns
S12	SAI_BCLK 高 / 低电平脉宽 (输入)	40%	60%	BCLK 周期
S13	SAI_FS 输入建立时间, 先于 SAI_BCLK	10	—	ns
S14	SAI_FS 输入保持时间, 后于 SAI_BCLK	2	—	ns
S15	SAI_BCLK 至 SAI_TXD/SAI_FS 输出有效	—	20	ns
S16	SAI_BCLK 至 SAI_TXD/SAI_FS 输出无效	0	—	ns
S17	SAI_RXD 建立时间, 先于 SAI_BCLK	10	—	ns
S18	SAI_RXD 保持时间, 先于 SAI_BCLK	2	—	ns

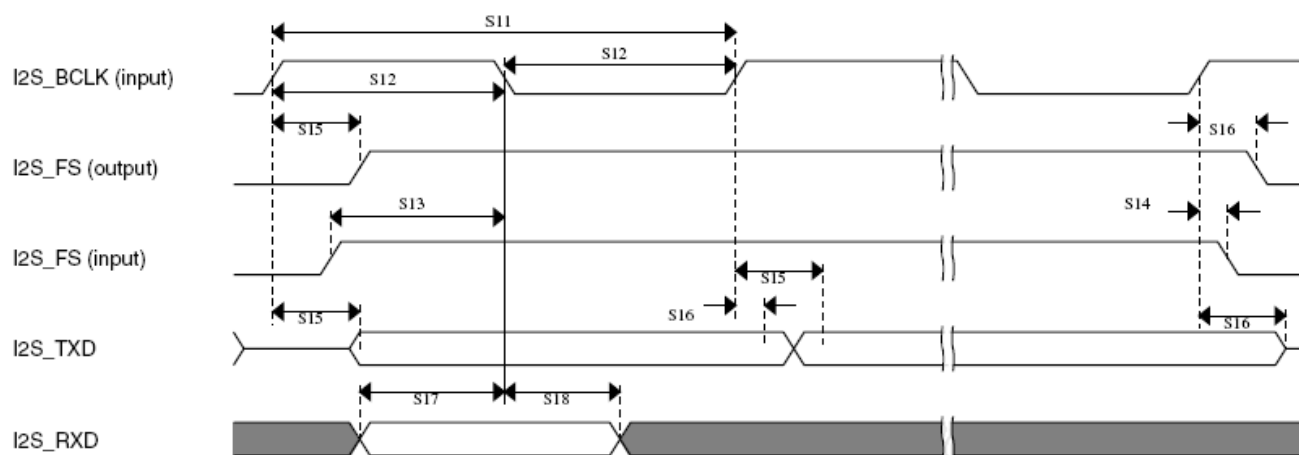


图 59. SAI 时序 — 从机模式

4.11.10 SCAN JTAG 控制器 (SJC) 时序参数

图 60 介绍了 SJC 测试时钟的输入时序。图 61 介绍了 SJC 边界扫描时序。图 62 介绍了 SJC 测试访问端口。信号参数如表 71 中所列。

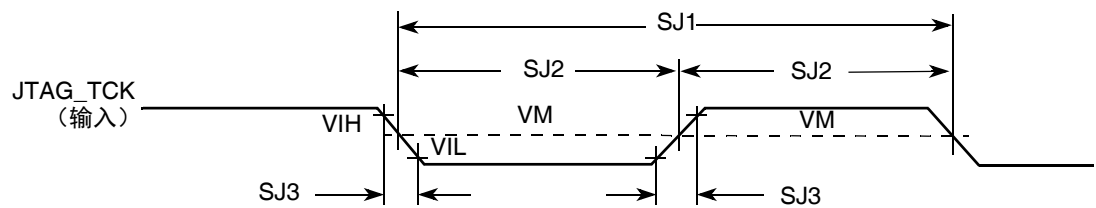


图 60. 测试时钟输入时序图

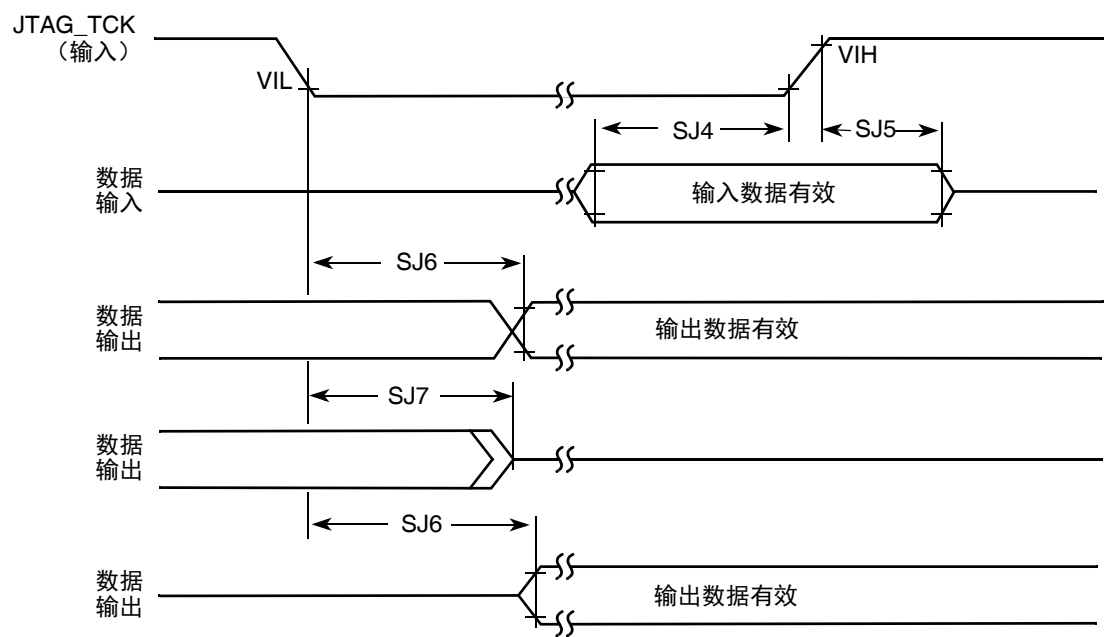


图 61. 边界扫描 (JTAG) 时序图

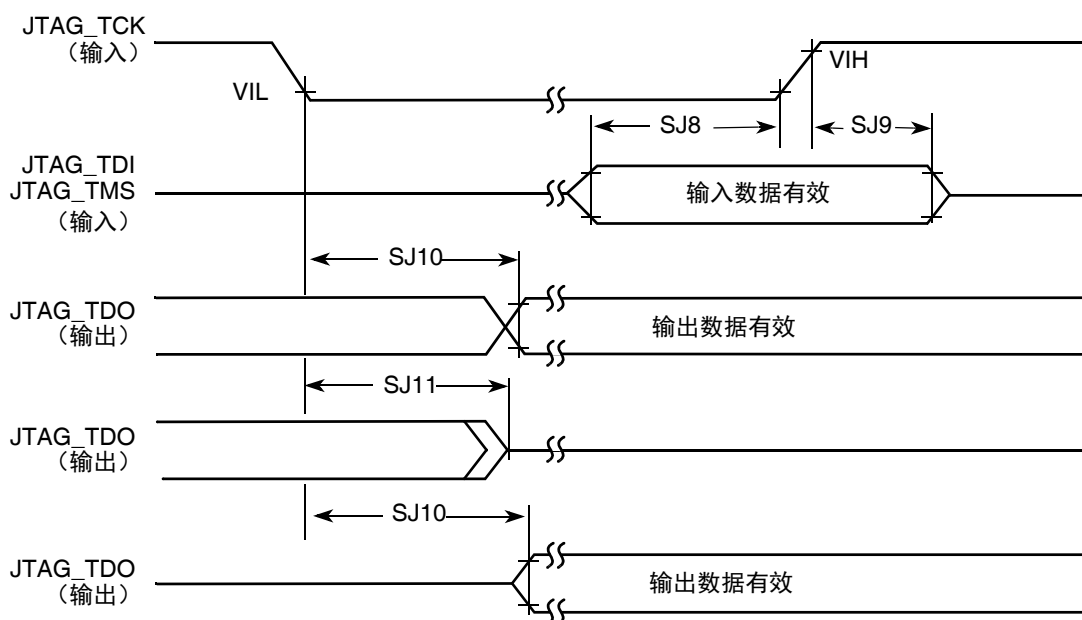


图 62. 测试访问端口时序图

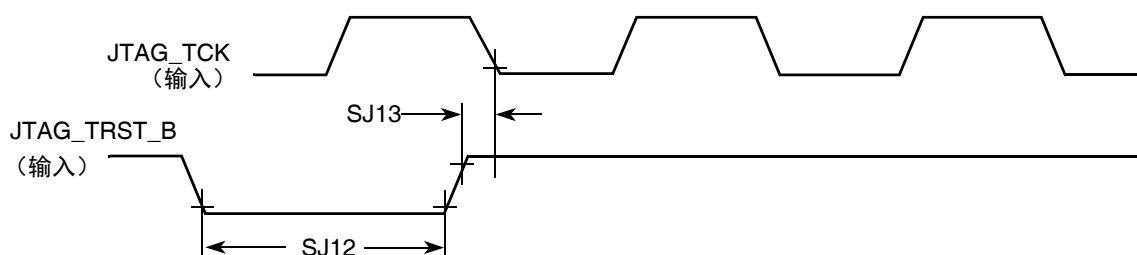


图 63. JTAG_TRST_B 时序图

表 71. JTAG 时序

ID	参数 1、2	所有频率		单位
		最小值	最大值	
SJ0	JTAG_TCK 工作频率 $1/(3 \cdot T_{DC})^1$	0.001	22	MHz
SJ1	JTAG_TCK 晶体模式下的周期时间	45	—	ns
SJ2	V_M^2 时的 JTAG_TCK 时钟脉冲宽度	22.5	—	ns
SJ3	JTAG_TCK 上升和下降时间	—	3	ns
SJ4	边界扫描输入数据建立时间	5	—	ns
SJ5	边界扫描输入数据保持时间	24	—	ns
SJ6	JTAG_TCK 低电平至输出数据有效	—	40	ns
SJ7	JTAG_TCK 低电平至输出高阻抗	—	40	ns
SJ8	JTAG_TMS、JTAG_TDI 数据建立时间	5	—	ns

表 71. JTAG 时序 (续)

ID	参数 ^{1、2}	所有频率		单位
		最小值	最大值	
SJ9	JTAG_TMS、JTAG_TDI 数据保持时间	25	—	ns
SJ10	JTAG_TCK 低电平至 JTAG_TDO 数据有效	—	44	ns
SJ11	JTAG_TCK 低电平至 JTAG_TDO 高阻抗	—	44	ns
SJ12	JTAG_TRST_B 有效时间	100	—	ns
SJ13	JTAG_TRST_B 至 JTAG_TCK 低电平的建立时间	40	—	ns

¹ T_{DC} = SJC 的目标频率² V_M = 中点电压

4.11.11 SPDIF 时序参数

Sony/Philips 数字互联格式 (SPDIF) 数据使用双相标识码发送。编码时，SPDIF 数据信号由比特率为此数据信号两倍的时钟进行调制。

表 72 和图 64 以及图 65 介绍了 Sony/Philips 数字互联格式 (SPDIF) 的 SPDIF 时序参数，包括 SPDIF 调制 Rx 时钟 (SPDIF_SR_CLK) 在 Rx 模式下的时序以及 SPDIF 调制 Tx 时钟 (SPDIF_ST_CLK) 在 Tx 模式下的时序。

表 72. SPDIF 时序参数

特性	符号	时序参数范围		单位
		最小值	最大值	
SPDIF_IN 压摆：异步输入，无应用规格	—	—	0.7	ns
SPDIF_OUT 输出（负载 = 50pf）	—	—	1.5	ns
· 偏移	—	—	24.2	
· 转换上升	—	—	31.3	
· 转换下降	—	—	—	ns
SPDIF_OUT1 输出（负载 = 30pf）	—	—	1.5	
· 偏移	—	—	13.6	
· 转换上升	—	—	18.0	ns
· 转换下降	—	—	—	
调制 Rx 时钟 (SPDIF_SR_CLK) 周期	srckp	40.0	—	ns
SPDIF_SR_CLK 高电平周期	srckph	16.0	—	ns
SPDIF_SR_CLK 低周期	srckpl	16.0	—	ns
调制 Tx 时钟 (SPDIF_ST_CLK) 周期	stclkp	40.0	—	ns
SPDIF_ST_CLK 高电平周期	stclkph	16.0	—	ns
SPDIF_ST_CLK 低电平周期	stclkpl	16.0	—	ns

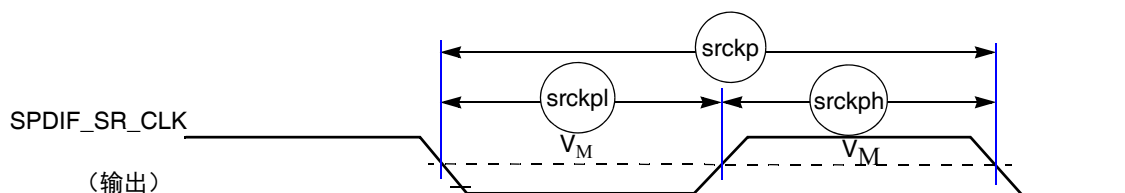


图 64. SPDIF_SR_CLK 时序图

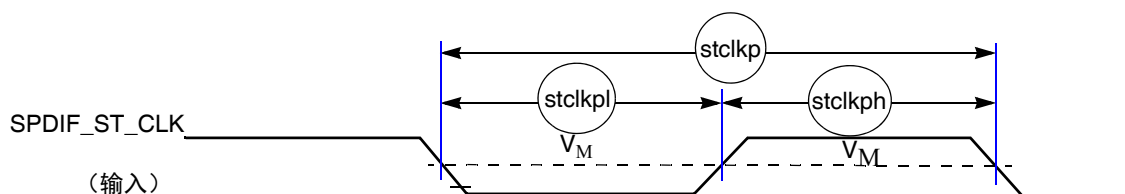


图 65. SPDIF_ST_CLK 时序图

4.11.12 UART I/O 配置和时序参数

4.11.12.1 UART RS-232 串行模式时序

以下章节介绍了 UART 模块的 RS-232 模式下的电气信息。

4.11.12.1.1 UART 发送器

图 66 介绍了 UART 在 RS-232 串行模式下的发送时序，格式为 8 个数据位 / 1 个停止位。表 73 列出了 UART RS-232 串行模式的发送时序特性。

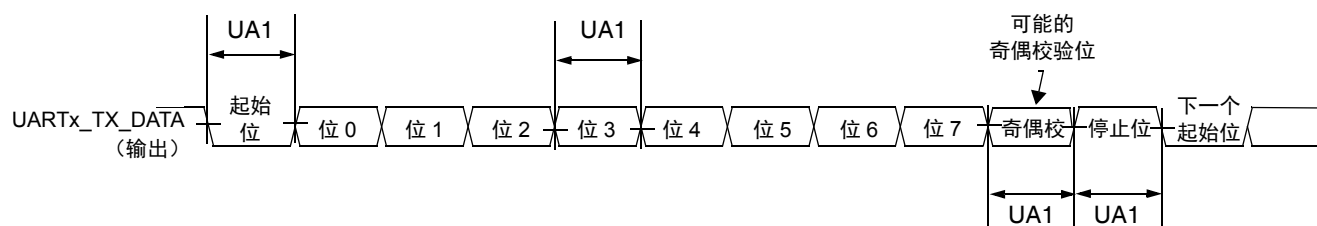


图 66. UART RS-232 串行模式发送时序图

表 73. RS-232 串行模式发送时序参数

ID	参数	符号	最小值	最大值	单位
UA1	发送位时间	t_{Tbit}	$1/F_{baud_rate}^1 - T_{ref_clk}^2$	$1/F_{baud_rate} + T_{ref_clk}$	—

¹ F_{baud_rate} : 波特率频率。UART 可以支持的最大波特率频率为 (ipg_perclk 频率) / 16。

² T_{ref_clk} : UART 参考时钟 ref_clk 的周期 (RFDIV 分频器之后的 ipg_perclk)。

4.11.12.1.2 UART 接收器

图 67 介绍了 RS-232 串行模式接收时序，格式为 8 个数据位 /1 个停止位。表 74 列出了串行模式的接收时序特性。

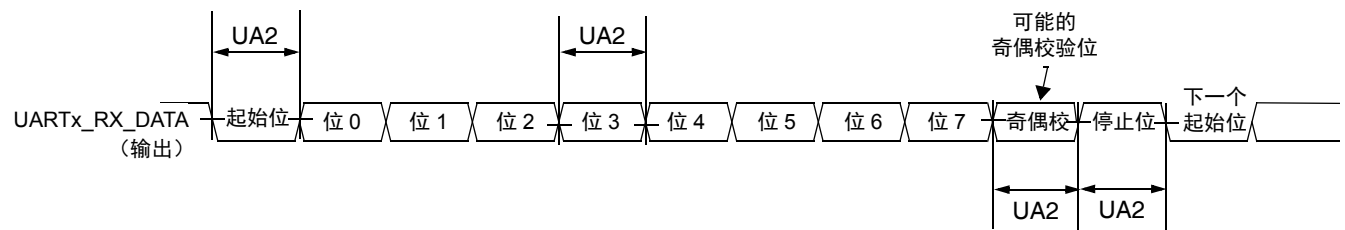


图 67. UART RS-232 串行模式接收时序图

表 74. RS-232 串行模式接收时序参数

ID	参数	符号	最小值	最大值	单位
UA2	接收位时间 ¹	t_{Rbit}	$1/F_{baud_rate}^2 - 1/(16 \times F_{baud_rate})$	$1/F_{baud_rate} + 1/(16 \times F_{baud_rate})$	—

¹ UART 接收器容许每个位存在 $1/(16 \times F_{baud_rate})$ 容差。但一个帧内的累积容差不得超过 $3/(16 \times F_{baud_rate})$ 。

² F_{baud_rate} : 波特率频率。UART 可以支持的最大波特率频率为 (ipg_perclk 频率) /16。

4.11.12.1.3 UART IrDA 模式时序

以下小节介绍了 IrDA 模式下的 UART 发送和接收时序。

UART IrDA 模式发送器

图 68 介绍了 UART IrDA 模式发送时序，格式为 8 个数据位 /1 个停止位。表 75 列出了发送时序特性。

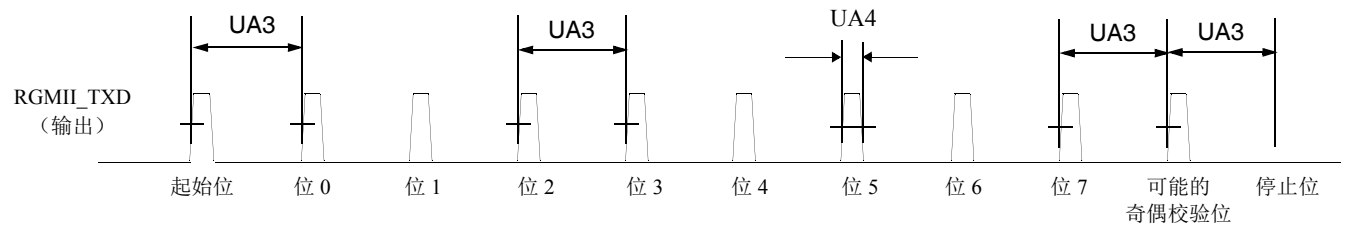


图 68. UART IrDA 模式发送时序图

表 75. IrDA 模式发送时序参数

ID	参数	符号	最小值	最大值	单位
UA3	IrDA 模式下的发送位时间	t_{TIRbit}	$1/F_{baud_rate}^1 - T_{ref_clk}^2$	$1/F_{baud_rate} + T_{ref_clk}$	—
UA4	发送 IR 脉冲持续时间	$t_{TIRpulse}$	$(3/16) \times (1/F_{baud_rate}) - T_{ref_clk}$	$(3/16) \times (1/F_{baud_rate}) + T_{ref_clk}$	—

¹ F_{baud_rate} : 波特率频率。UART 可以支持的最大波特率频率为 (ipg_perclk 频率) /16。

² T_{ref_clk} : UART 参考时钟 ref_clk 的周期 (RFDIV 分频器之后的 ipg_perclk)。

UART IrDA 模式接收器

图 69 介绍了 UART IrDA 模式接收时序，格式为 8 个数据位 / 1 个停止位。表 76 列出了接收时序特性。

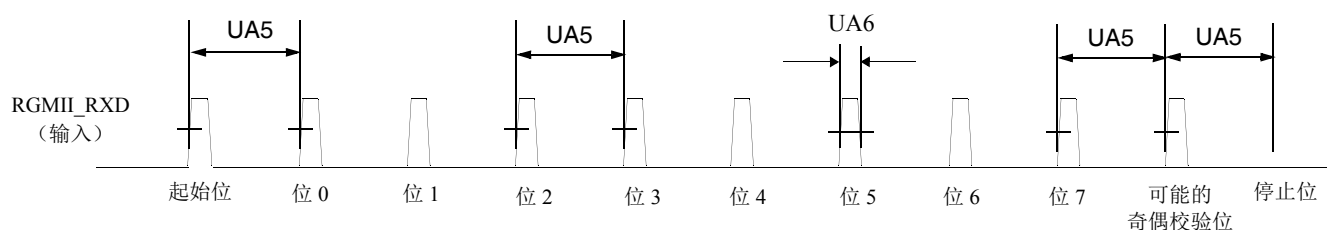


图 69. UART IrDA 模式接收时序图

表 76. IrDA 模式接收时序参数

ID	参数	符号	最小值	最大值	单位
UA5	IrDA 模式下的接收位时间 ¹	t_{RIRbit}	$1/F_{baud_rate}^2 - 1/(16 \times F_{baud_rate})$	$1/F_{baud_rate} + 1/(16 \times F_{baud_rate})$	—
UA6	接收 IR 脉冲持续时间	$t_{RIRpulse}$	1.41 μs	$(5/16) \times (1/F_{baud_rate})$	—

¹ UART 接收器可以容许每个位存在 $1/(16 \times F_{baud_rate})$ 容差。但一个帧内的累积容差不得超过 $3/(16 \times F_{baud_rate})$ 。

² F_{baud_rate} : 波特率频率。UART 可以支持的最大波特率频率为 (ipg_perclk 频率) / 16。

4.11.13 USB PHY 参数

本章节介绍了 USB-OTG PHY 参数。

USB PHY 符合通用串行总线版本 2.0 OTG 的电气合规性要求，并作了以下调整。

- USB 设计更改注意事项
 - 标题: 5V 短路承受要求更改
 - 适用于: 通用串行总线规范版本 2.0
- 2000 年 4 月 27 日 USB 版本 2.0 勘误表，截至 2000 年 12 月 7 日
- USB 设计更改注意事项
 - 标题: 上拉 / 下拉电阻
 - 适用于: 通用串行总线规范版本 2.0
- USB 设计更改注意事项
 - 标题: 暂停电流限制更改
 - 适用于: 通用串行总线规范版本 2.0
- USB 设计更改注意事项
 - 标题: USB 2.0 锁相 SOF

— 适用于：通用串行总线规范版本 2.0

- On-The-Go 和嵌入式主机 USB 版本 2.0 规格附录

— 版本 2.0 及勘误表和 ecn，2010 年 6 月 4 日

- 电池充电规格（通过 USB-IF 提供）

— 版本 1.2，2010 年 12 月 7 日

— 仅限便携式设备

4.12 A/D 转换器

4.12.1 12 位 ADC 电气特性

4.12.1.1 12 位 ADC 的工作条件

表 77. 12 位 ADC 的工作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	备注
供电电压	绝对值	V_{DDAD}	3.0	-	3.6	V	—
	VDD 增量 ($V_{DD}-V_{DDAD}$) ²	ΔV_{DDAD}	-100	0	100	mV	—
接地电压	VSS 增量 ($V_{SS}-V_{SSAD}$)	ΔV_{SSAD}	-100	0	100	mV	—
高参考电压	—	V_{REFH}	1.13	V_{DDAD}	V_{DDAD}	V	—
低参考电压	—	V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	—
输入电压	—	V_{ADIN}	V_{REFL}	—	V_{REFH}	V	—
输入电容	8/10/12 位模式	C_{ADIN}	—	1.5	2	pF	—
输入电阻	ADLPC = 0、ADHSC = 1	R_{ADIN}	—	5	7	千欧姆	—
	ADLPC = 0、ADHSC = 0		—	12.5	15	千欧姆	—
	ADLPC = 1、ADHSC = 0		—	25	30	千欧姆	—
模拟源电阻	12 位模式 $f_{ADCK} = 40\text{MHz}$ ADLSMP = 0、ADSTS = 10、ADHSC = 1	R_{AS}	—	—	1	千欧姆	$T_{\text{samp}} = 150\text{ns}$
R_{AS} 取决于采样时间设置 (ADLSMP、ADSTS) 和 ADC 功耗模式 (ADHSC、ADLPC)。有关最小采样时间与 R_{AS} ，请参见图表。							
ADC 转换时钟频率	ADLPC = 0、ADHSC = 1 12 位模式	f_{ADCK}	4	—	40	MHz	—
	ADLPC = 0、ADHSC = 0 12 位模式		4	—	30	MHz	—
	ADLPC = 1、ADHSC = 0 12 位模式		4	—	20	MHz	—

¹ 除非另有说明，否则典型值假定 $V_{DDAD} = 3.0\text{ V}$ 、 $\text{Temp} = 25^{\circ}\text{C}$ 、 $f_{ADCK} = 20\text{ MHz}$ 。典型值仅供参考，并未在生产中进行测试。

² 直流电位差。

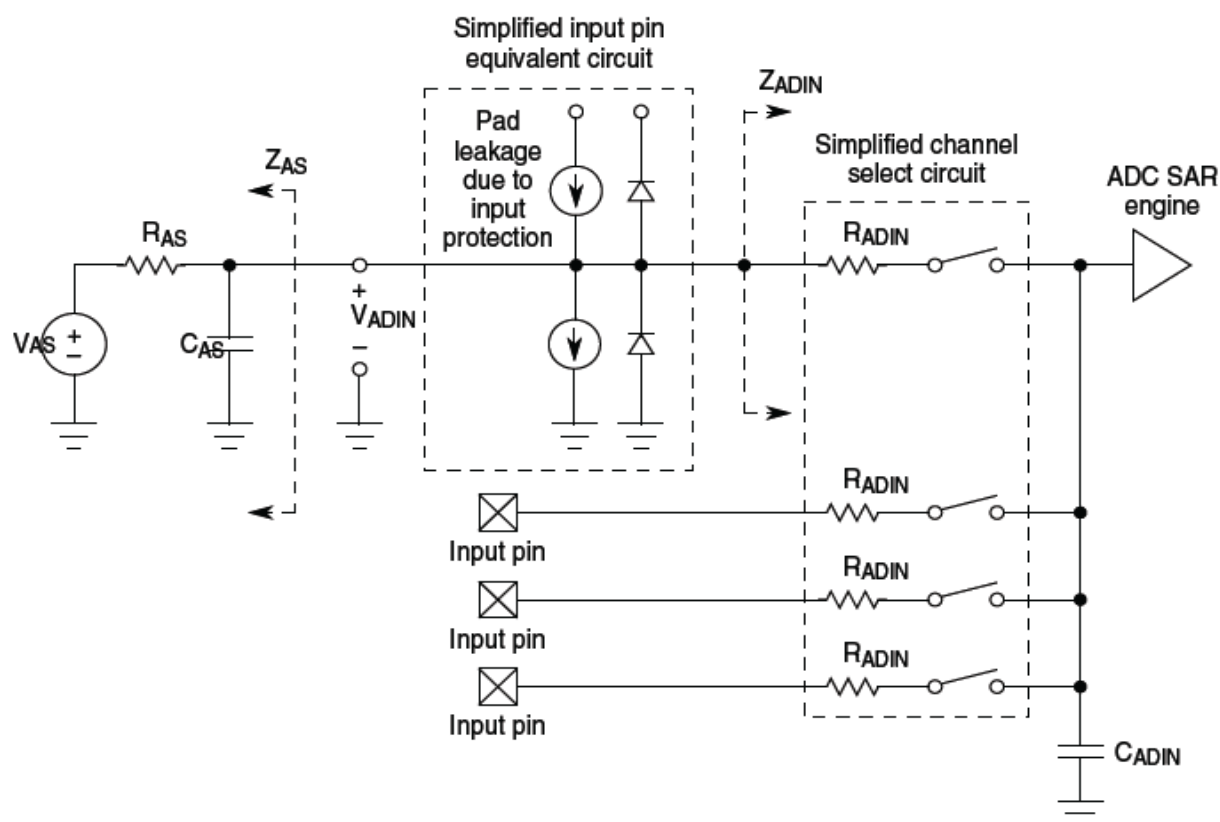


图 70. 12 位 ADC 输入阻抗等效图

4.12.1.1.1 12 位 ADC 特性

表 78. 12 位 ADC 特性 ($V_{REFH} = V_{DDAD}$, $V_{REFL} = V_{SSAD}$)

特性	条件 ¹	符号	最小值	典型值 ²	最大值	单位	备注
[L:] 供电电流	ADLPC = 1、 ADHSC = 0	I_{DDAD}	—	250	—	μA	ADLSMP = 0 ADSTS = 10 ADCO = 1
	ADLPC = 0、 ADHSC = 0			350			
	ADLPC = 0、 ADHSC = 1			400			
[L:] 供电电流	停止、复位、模块关闭	I_{DDAD}	—	0.01	0.8	μA	—
ADC 异步时钟源	ADHSC = 0	f_{ADACK}	—	10	—	MHz	$t_{ADACK} = 1/f_{ADACK}$
	ADHSC = 1		—	20	—		

表 78. 12 位 ADC 特性 ($V_{REFH} = V_{DDAD}$, $V_{REFL} = V_{SSAD}$) (续)

特性	条件 ¹	符号	最小值	典型值 ²	最大值	单位	备注
采样周期	ADLSMP = 0、 ADSTS = 00	Csamp	—	2	—	周期	—
	ADLSMP = 0、 ADSTS = 01			4			
	ADLSMP = 0、 ADSTS = 10			6			
	ADLSMP = 0、 ADSTS = 11			8			
	ADLSMP = 1、 ADSTS = 00			12			
	ADLSMP = 1、 ADSTS = 01			16			
	ADLSMP = 1、 ADSTS = 10			20			
	ADLSMP = 1、 ADSTS = 11			24			
转换周期	ADLSMP = 0 ADSTS = 00	Cconv	—	28	—	周期	—
	ADLSMP = 0 ADSTS = 01			30			
	ADLSMP = 0 ADSTS = 10			32			
	ADLSMP = 0 ADSTS = 11			34			
	ADLSMP = 1 ADSTS = 00			38			
	ADLSMP = 1 ADSTS = 01			42			
	ADLSMP = 1 ADSTS = 10			46			
	ADLSMP = 1、 ADSTS = 11			50			

表 78. 12 位 ADC 特性 ($V_{REFH} = V_{DDAD}$, $V_{REFL} = V_{SSAD}$) (续)

特性	条件 ¹	符号	最小值	典型值 ²	最大值	单位	备注
转换时间	ADLSMP = 0 ADSTS = 00	Tconv	—	0.7	—	μs	Fadc = 40 MHz
	ADLSMP = 0 ADSTS = 01			0.75			
	ADLSMP = 0 ADSTS = 10			0.8			
	ADLSMP = 0 ADSTS = 11			0.85			
	ADLSMP = 1 ADSTS = 00			0.95			
	ADLSMP = 1 ADSTS = 01			1.05			
	ADLSMP = 1 ADSTS = 10			1.15			
	ADLSMP = 1、 ADSTS = 11			1.25			
[P:][C:] 未调整总误差	12 位模式	TUE	—	4.5	—	LSB 1 LSB = ($V_{REFH} - V_{REFL}$)/2 N	—
	10 位模式		—	2	—		
	8 位模式		—	1.5	—		
[P:][C:] 差分非线性	12 位模式	DNL	—	1	—	LSB	—
	10 位模式		—	0.5	—		
	8 位模式		—	0.2	—		
[P:][C:] 积分非线性	12 位模式	INL	—	2.6	—	LSB	—
	10 位模式		—	0.8	—		
	8 位模式		—	0.3	—		
零量程误差	12 位模式	E _{ZS}	—	-0.3	—	LSB	—
	10 位模式		—	-0.15	—		
	8 位模式		—	-0.15	—		
满量程误差	12 位模式	E _{FS}	—	-2.5	—	LSB	—
	10 位模式		—	-0.6	—		
	8 位模式		—	-0.3	—		
[L:] 有效位数	12 位模式	ENOB	10.1	10.7	—	位	—
[L:] 信噪比和失真	参见 ENOB	SINAD	SINAD = 6.02 x ENOB + 1.76			dB	—

¹ 所有精度数字均假定 ADC 已在 $V_{REFH} = V_{DDAD}$ 的情况下进行校准。

² 除非另有说明, 否则典型值假定 $V_{DDAD} = 3.0\text{ V}$ 、 $\text{Temp} = 25^{\circ}\text{C}$ 、 $F_{\text{adck}} = 20\text{ MHz}$ 。典型值仅供参考, 并未在生产中进行测试。

附注

启用校准的配置符合 ADC 电气规格。

5 启动模式配置

本章节提供了启动模式的引脚分配和启动器件的接口配置信息。

5.1 启动模式配置引脚

表 79 提供启动选项、功能、熔丝值和相关引脚信息。部分输入引脚还可在复位时采样，并且可用于覆盖熔丝值，具体取决于 BT_FUSE_SEL 熔丝值。启动引脚在 BT_FUSE_SEL 熔丝为“0”（清零，即熔丝未熔断时）有效。与启动模式相关的引脚配置信息，请参见 i.MX 6UltraLite 熔丝图文档和 *i.MX 6UltraLite 参考手册 (IMX6ULRM)* 中的系统启动章节。

表 79. 用于启动的熔丝和相关引脚

引脚	复位时的方向	eFuse 名称	详细信息
BOOT_MODE0	输入， 100 K 下拉	N/A	启动模式选择
BOOT_MODE1	输入， 100 K 下拉	N/A	启动模式选择

表 79. 用于启动的熔丝和相关引脚（续）

引脚	复位时的方向	eFuse 名称	详细信息
LCD_DATA00	输入, 100 K 下拉	BT_CFG1[0]	启动选项, BT_FUSE_SEL = '0' 时引脚值覆盖熔丝设置值。信号配置为上电时熔丝覆盖输入。这些特殊I/O线路用于在产品开发期间控制启动配置。在生产过程中, 可通过熔丝控制启动配置。
LCD_DATA01	输入, 100 K 下拉	BT_CFG1[1]	
LCD_DATA02	输入, 100 K 下拉	BT_CFG1[2]	
LCD_DATA03	输入, 100 K 下拉	BT_CFG1[3]	
LCD_DATA04	输入, 100 K 下拉	BT_CFG1[4]	
LCD_DATA05	输入, 100 K 下拉	BT_CFG1[5]	
LCD_DATA06	输入, 100 K 下拉	BT_CFG1[6]	
LCD_DATA07	输入, 100 K 下拉	BT_CFG1[7]	
LCD_DATA08	输入, 100 K 下拉	BT_CFG2[0]	
LCD_DATA09	输入, 100 K 下拉	BT_CFG2[1]	
LCD_DATA10	输入, 100 K 下拉	BT_CFG2[2]	
LCD_DATA11	输入, 100 K 下拉	BT_CFG2[3]	
LCD_DATA12	输入, 100 K 下拉	BT_CFG2[4]	
LCD_DATA13	输入, 100 K 下拉	BT_CFG2[5]	
LCD_DATA14	输入, 100 K 下拉	BT_CFG2[6]	
LCD_DATA15	输入, 100 K 下拉	BT_CFG2[7]	
LCD_DATA16	输入, 100 K 下拉	BT_CFG4[0]	
LCD_DATA17	输入, 100 K 下拉	BT_CFG4[1]	
LCD_DATA18	输入, 100 K 下拉	BT_CFG4[2]	
LCD_DATA19	输入, 100 K 下拉	BT_CFG4[3]	
LCD_DATA20	输入, 100 K 下拉	BT_CFG4[4]	
LCD_DATA21	输入, 100 K 下拉	BT_CFG4[5]	
LCD_DATA22	输入, 100 K 下拉	BT_CFG4[6]	
LCD_DATA23	输入, 100 K 下拉	BT_CFG4[7]	

5.2 启动器件接口分配

下表列出了可作为处理器启动的接口, 并给出了对应接口在作为启动模式时的详细配置信息和 IOMUX 设置。

表 80. QSPI 启动

焊球名称	信号名称	Mux Mode	Common	Quad Mode	+ Port A DQS	+ Port A CS1	+ Port B	+ Port B DQS	+ Port B CS1
NAND_WP_B	qspi.A_SCLK	Alt2	Yes	Yes					
NAND_DQS	qspi.A_SS0_B	Alt2	Yes	Yes					
NAND_READY_B	qspi.A_DATA[0]	Alt2	Yes	Yes					

表 80. QSPI 启动 (续)

NAND_CE0_B	qspi.A_DATA[1]	Alt2	Yes	Yes					
NAND_CE1_B	qspi.A_DATA[2]	Alt2	Yes	Yes					
NAND_CLE	qspi.A_DATA[3]	Alt2	Yes	Yes					
NAND_DATA05	qspi.B_DATA[3]	Alt2					Yes		
NAND_DATA04	qspi.B_DATA[2]	Alt2					Yes		
NAND_DATA03	qspi.B_DATA[1]	Alt2					Yes		
NAND_DATA02	qspi.B_DATA[0]	Alt2					Yes		
NAND_WE_B	qspi.B_SS0_B	Alt2					Yes		
NAND_RE_B	qspi.B_SCLK	Alt2					Yes		
NAND_DATA07	qspi.A_SS1_B	Alt2				Yes			
NAND_ALE	qspi.A_DQS	Alt2			Yes				
NAND_DATA00	qspi.B_SS1_B	Alt2							Yes
NAND_DATA01	qspi.B_DQS	Alt2						Yes	

表 81. SPI 通过 ECSP11 启动

焊球名称	信号名称	Mux Mode	Common	BOOT_CFG4 [5:4] = 00b	BOOT_CFG4 [5:4] = 01b	BOOT_CFG4 [5:4] = 10b	BOOT_CFG4 [5:4] = 11b
CSI_DATA07	ecspi1.MISO	Alt 3	Yes				
CSI_DATA06	ecspi1.MOSI	Alt 3	Yes				
CSI_DATA04	ecspi1.SCLK	Alt 3	Yes				
CSI_DATA05	ecspi1.SS0	Alt 3		Yes			
LCD_DATA05	ecspi1.SS1	Alt 8			Yes		
LCD_DATA06	ecspi1.SS2	Alt 8				Yes	
LCD_DATA07	ecspi1.SS3	Alt 8					Yes

表 82. SPI 通过 ECSP12 启动

焊球名称	信号名称	Mux Mode	Common	BOOT_CFG 4[5:4] = 00b	BOOT_CFG4 [5:4] = 01b	BOOT_CFG4 [5:4] = 10b	BOOT_CFG4 [5:4] = 11b
CSI_DATA03	ecspi2.MISO	Alt 3	Yes				
CSI_DATA02	ecspi2.MOSI	Alt 3	Yes				
CSI_DATA00	ecspi2.SCLK	Alt 3	Yes				
CSI_DATA01	ecspi2.SS0	Alt 3		Yes			
LCD_HSYNC	ecspi2.SS1	Alt 8			Yes		
LCD_VSYNC	ecspi2.SS2	Alt 8				Yes	
LCD_RESET	ecspi2.SS3	Alt 8					Yes

表 83. SPI 通过 ECSPi3 启动

焊球名称	信号名称	Mux Mode	Common	BOOT_CFG4 [5:4] = 00b	BOOT_CFG4[5:4] = 01b	BOOT_CFG4 [5:4] = 10b	BOOT_CFG4 [5:4] = 11b
UART2_RTS_B	ecspi3.MISO	Alt 8	Yes				
UART2_CTS_B	ecspi3.MOSI	Alt 8	Yes				
UART2_RX_DATA	ecspi3.SCLK	Alt 8	Yes				
UART2_TX_DATA	ecspi3.SS0	Alt 8		Yes			
NAND_ALE	ecspi3.SS1	Alt 8			Yes		
NAND_RE_B	ecspi3.SS2	Alt 8				Yes	
NAND_WE_B	ecspi3.SS3	Alt 8					Yes

表 84. SPI 通过 ECSPi4 启动

焊球名称	信号名称	Mux Mode	Common	BOOT_CFG4 [5:4] = 00b	BOOT_CFG4 [5:4] = 01b	BOOT_CFG4 [5:4] = 10b	BOOT_CFG 4[5:4] = 11b
ENET2_TX_CLK	ecspi4.MISO	Alt 3	Yes				
ENET2_TX_EN	ecspi4.MOSI	Alt 3	Yes				
ENET2_TX_DATA1	ecspi4.SCLK	Alt 3	Yes				
ENET2_RX_ER	ecspi4.SS0	Alt 3		Yes			
NAND_DATA01	ecspi4.SS1	Alt 8			Yes		
NAND_DATA02	ecspi4.SS2	Alt 8				Yes	
NAND_DATA03	ecspi4.SS3	Alt 8					Yes

表 85. NAND 通过 GPMI 启动

焊球名称	信号名称	Mux Mode	Common	BOOT_CFG1[3:2] = 01b	BOOT_CFG1[3:2] = 10b
NAND_CLE	rawnand.CLE	Alt 0	Yes		
NAND_ALE	rawnand.ALE	Alt 0	Yes		
NAND_WP_B	rawnand.WP_B	Alt 0	Yes		
NAND_READY_B	rawnand.READY_B	Alt 0	Yes		
NAND_CE0_B	rawnand.CE0_B	Alt 0	Yes		
NAND_CE1_B	rawnand.CE1_B	Alt 0		Yes	Yes
NAND_RE_B	rawnand.RE_B	Alt 0	Yes		
NAND_WE_B	rawnand.WE_B	Alt 0	Yes		
NAND_DATA00	rawnand.DATA00	Alt 0	Yes		
NAND_DATA01	rawnand.DATA01	Alt 0	Yes		

表 85. NAND 通过 GPMI 启动 (续)

焊球名称	信号名称	Mux Mode	Common	BOOT_CFG1[3:2] = 01b	BOOT_CFG1[3:2] = 10b
NAND_DATA02	rawnand.DATA02	Alt 0	Yes		
NAND_DATA03	rawnand.DATA03	Alt 0	Yes		
NAND_DATA04	rawnand.DATA04	Alt 0	Yes		
NAND_DATA05	rawnand.DATA05	Alt 0	Yes		
NAND_DATA06	rawnand.DATA06	Alt 0	Yes		
NAND_DATA07	rawnand.DATA07	Alt 0	Yes		
NAND_DQS	rawnand.DQS	Alt 0	Yes		
CSI_MCLK	rawnand.CE2_B	Alt 2			Yes
CSI_PIXCLK	rawnand.CE3_B	Alt 2			Yes

表 86. SD/MMC 通过 USDHC1 启动

焊球名称	信号名称	Mux Mode	Common	4-bit	8-bit	BOOT_CFG1[1] = 1 (SD Power Cycle)	SDMMC MFG mode
UART1_RTS_B	usdhc1.CD_B	Alt 2					Yes
SD1_CLK	usdhc1.CLK	Alt 0	Yes				
SD1_CMD	usdhc1.CMD	Alt 0	Yes				
SD1_DATA0	usdhc1.DATA0	Alt 0	Yes				
SD1_DATA1	usdhc1.DATA1	Alt 0		Yes	Yes		
SD1_DATA2	usdhc1.DATA2	Alt 0		Yes	Yes		
SD1_DATA3	usdhc1.DATA3	Alt 0	Yes				
NAND_READY_B	usdhc1.DATA4	Alt 1			Yes		
NAND_CE0_B	usdhc1.DATA5	Alt 1			Yes		
NAND_CE1_B	usdhc1.DATA6	Alt 1			Yes		
NAND_CLE	usdhc1.DATA7	Alt 1			Yes		
GPIO1_IO09	usdhc1.RESET_B	Alt 5				Yes	
GPIO1_IO05	usdhc1.VSELECT	Alt 4				Yes	

表 87. SD/MMC 通过 USDHC2 启动

焊球名称	信号名称	Mux Mode	Common	4-bit	8-bit	BOOT_CFG1[1] = 1 (SD Power Cycle)
NAND_RE_B	usdhc2.CLK	Alt 1	Yes			
NAND_WE_B	usdhc2.CMD	Alt 1	Yes			
NAND_DATA00	usdhc2.DATA0	Alt 1	Yes			
NAND_DATA01	usdhc2.DATA1	Alt 1		Yes	Yes	
NAND_DATA02	usdhc2.DATA2	Alt 1		Yes	Yes	
NAND_DATA03	usdhc2.DATA3	Alt 1	Yes			
NAND_DATA04	usdhc2.DATA4	Alt 1			Yes	
NAND_DATA05	usdhc2.DATA5	Alt 1			Yes	
NAND_DATA06	usdhc2.DATA6	Alt 1			Yes	
NAND_DATA07	usdhc2.DATA7	Alt 1			Yes	
NAND_ALE	usdhc2.RESET_B	Alt 5				Yes
GPIO1_IO08	usdhc2.VSELECT	Alt 4				Yes

表 88. NOR/OneNAND 通过 EIM 启动

焊球名称	信号名称	Mux Mode	Common	ADL16 Non-Mux	AD16 Mux
CSI_DATA00	weim.AD[0]	Alt 4	Yes		
CSI_DATA01	weim.AD[1]	Alt 4	Yes		
CSI_DATA02	weim.AD[2]	Alt 4	Yes		
CSI_DATA03	weim.AD[3]	Alt 4	Yes		
CSI_DATA04	weim.AD[4]	Alt 4	Yes		
CSI_DATA05	weim.AD[5]	Alt 4	Yes		
CSI_DATA06	weim.AD[6]	Alt 4	Yes		
CSI_DATA07	weim.AD[7]	Alt 4	Yes		
NAND_DATA00	weim.AD[8]	Alt 4	Yes		
NAND_DATA01	weim.AD[9]	Alt 4	Yes		
NAND_DATA02	weim.AD[10]	Alt 4	Yes		
NAND_DATA03	weim.AD[11]	Alt 4	Yes		
NAND_DATA04	weim.AD[12]	Alt 4	Yes		
NAND_DATA05	weim.AD[13]	Alt 4	Yes		
NAND_DATA06	weim.AD[14]	Alt 4	Yes		

表 88. NOR/OneNAND 通过 EIM 启动（续）

焊球名称	信号名称	Mux Mode	Common	ADL16 Non-Mux	AD16 Mux
NAND_DATA07	weim.AD[15]	Alt 4	Yes		
NAND_CLE	weim.ADDR[16]	Alt 4		Yes	Yes
NAND_ALE	weim.ADDR[17]	Alt 4		Yes	Yes
NAND_CE1_B	weim.ADDR[18]	Alt 4		Yes	Yes
SD1_CMD	weim.ADDR[19]	Alt 4		Yes	Yes
SD1_CLK	weim.ADDR[20]	Alt 4		Yes	Yes
SD1_DATA0	weim.ADDR[21]	Alt 4		Yes	Yes
SD1_DATA1	weim.ADDR[22]	Alt 4		Yes	Yes
SD1_DATA2	weim.ADDR[23]	Alt 4		Yes	Yes
SD1_DATA3	weim.ADDR[24]	Alt 4		Yes	Yes
ENET2_RXER	weim.ADDR[25]	Alt 4		Yes	Yes
ENET2_CRS_DV	weim.ADDR[26]	Alt 4		Yes	Yes
CSI_MCLK	weim.CS0_B	Alt 4	Yes		
LCD_DATA08	weim.DATA[0]	Alt 4		Yes	
LCD_DATA09	weim.DATA[1]	Alt 4		Yes	
LCD_DATA10	weim.DATA[2]	Alt 4		Yes	
LCD_DATA11	weim.DATA[3]	Alt 4		Yes	
LCD_DATA12	weim.DATA[4]	Alt 4		Yes	
LCD_DATA13	weim.DATA[5]	Alt 4		Yes	
LCD_DATA14	weim.DATA[6]	Alt 4		Yes	
LCD_DATA15	weim.DATA[7]	Alt 4		Yes	
LCD_DATA16	weim.DATA[8]	Alt 4		Yes	
LCD_DATA17	weim.DATA[9]	Alt 4		Yes	
LCD_DATA18	weim.DATA[10]	Alt 4		Yes	
LCD_DATA19	weim.DATA[11]	Alt 4		Yes	
LCD_DATA20	weim.DATA[12]	Alt 4		Yes	
LCD_DATA21	weim.DATA[13]	Alt 4		Yes	
LCD_DATA22	weim.DATA[14]	Alt 4		Yes	
LCD_DATA23	weim.DATA[15]	Alt 4		Yes	
NAND_RE_B	weim.EB_B[0]	Alt 4		Yes	Yes

表 88. NOR/OneNAND 通过 EIM 启动（续）

焊球名称	信号名称	Mux Mode	Common	ADL16 Non-Mux	AD16 Mux
NAND_WE_B	weim.EB_B[1]	Alt 4		Yes	Yes
CSI_HSYNC	weim.LBA_B	Alt 4	Yes		
CSI_PIXCLK	weim.OE	Alt 4	Yes		
CSI_VSYNC	weim.RW	Alt 4	Yes		

表 89. 通过 UART1 串行下载

焊球名称	信号名称	Mux Mode	Common
UART1_TX_DATA	uart1.TX_DATA	Alt 0	Yes
UART1_RX_DATA	uart1.RX_DATA	Alt 0	Yes

表 90. 通过 UART2 串行下载

焊球名称	信号名称	Mux Mode	Common
UART2_TX_DATA	uart2.TX_DATA	Alt 0	Yes
UART2_RX_DATA	uart2.RX_DATA	Alt 0	Yes

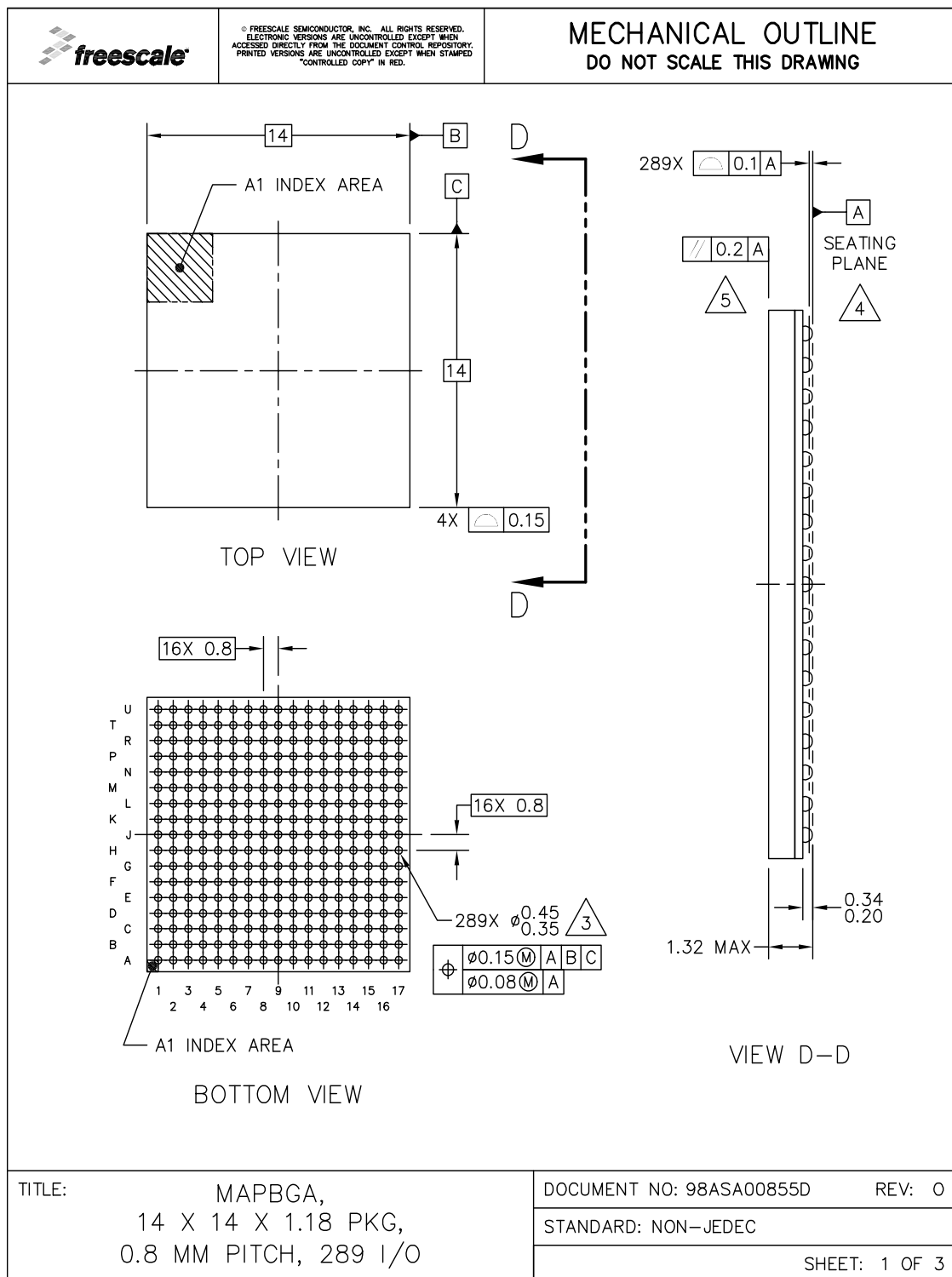
6 封装信息和引脚分配

本章节包括引脚分配信息和机械封装图。

6.1 14x14 mm 封装信息

6.1.1 14x14 mm, 0.8 mm 间距, 焊球分布图

图 71 介绍 14x14 mm BGA 封装的顶视图、底视图和侧视图。



	© FREESCALE SEMICONDUCTOR, INC. ALL RIGHTS RESERVED. ELECTRONIC VERSIONS ARE UNCONTROLLED EXCEPT WHEN ACCESSED DIRECTLY FROM THE DOCUMENT CONTROL REPOSITORY. PRINTED VERSIONS ARE UNCONTROLLED EXCEPT WHEN STAMPED "CONTROLLED COPY" IN RED.	MECHANICAL OUTLINE DO NOT SCALE THIS DRAWING	
NOTES: 1. ALL DIMENSIONS IN MILLIMETERS. 2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M–1994. 3. MAXIMUM SOLDER BALL DIAMETER MEASURED PARALLEL TO DATUM A. 4. DATUM A, THE SEATING PLANE, IS DETERMINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS. 5. PARALLELISM MEASUREMENT SHALL EXCLUDE ANY EFFECT OF MARK ON TOP SURFACE OF PACKAGE.			
TITLE: MAPBGA, 14 X 14 X 1.18 PKG, 0.8 MM PITCH, 289 I/O		DOCUMENT NO: 98ASA00855D STANDARD: NON–JEDEC	REV: 0 SHEET: 2

图 71. 14x14 mm BGA, 外壳 x 封装顶视图、底视图和侧视图

6.1.2 14x14 mm 电源引脚分配和功能引脚分配

表 91 为器件的接地、检测和参考信号引脚列表。

表 91. 14x14 mm 电源引脚分配

电源引脚名称	焊球编号	备注
ADC_VREFH	M13	—
DRAM_VREF	P4	—
GPANAIO	R13	—
NGND_KEL0	M12	—
NVCC_CSI	F4	—
NVCC_DRAM	G6, H6, J6, K6, L6, M6	—
NVCC_DRAM_2P5	N6	—
NVCC_ENET	F13	—
NVCC_GPIO	J13	—
NVCC_LCD	E13	—
NVCC_NAND	E7	—
NVCC_PLL	P13	—
NVCC_SD1	C4	—
NVCC_UART	H13	—
VDD_ARM_CAP	G9, G10, G11, H11	—
VDD_HIGH_CAP	R14, R15	—
VDD_HIGH_IN	N13	—
VDD_SNVS_CAP	N12	—
VDD_SNVS_IN	P12	—
VDD_SOC_CAP	G8, H8, J8, J11, K8, K11, L8, L9, L10, L11	—
VDD_SOC_IN	H9, H10, J9, J10, K9, K10	—
VDD_USB_CAP	R12	—
VDDA_ADC_3P3	L13	—
VSS	A1, A17, C3, C7, C11, C15, E8, E11, F6, F7, F8, F9, F10, F11, F12, G3, G5, G7, G12, G15, H7, H12, J5, J7, J12, K7, K12, L3, L7, L12, M7, M8, M9, M10, M11, N3, N5, R3, R5, R7, R11, R16, R17, T14, U1, U14, U17	—

表 92 为 14x14 mm 封装的功能引脚分配列表（按字母顺序排列）。

表 92. 14x14 mm 功能引脚分配

焊球名称	14x14 焊球	电源组别	焊球 类型	复位状态			
				默认 选项	复用功能	输入 / 输出	值
BOOT_MODE0	T10	VDD_SNVIS_IN	GPIO	ALT5	BOOT_MODE0	Input	100 kΩ pull-down
BOOT_MODE1	U10	VDD_SNVIS_IN	GPIO	ALT5	BOOT_MODE1	Input	100 kΩ pull-down
CCM_CLK1_N	P16	VDD_HIGH_CAP	LVDS	—	CCM_CLK1_N	—	—
CCM_CLK1_P	P17	VDD_HIGH_CAP	LVDS	—	CCM_CLK1_P	—	—
CCM_PMIC_STBY_REQ	U9	VDD_SNVIS_IN	GPIO	ALT0	CCM_PMIC_STBY_REQ	Output	—
CSI_DATA00	E4	NVCC_CSI	GPIO	ALT5	CSI_DATA00	Input	Keeper
CSI_DATA01	E3	NVCC_CSI	GPIO	ALT5	CSI_DATA01	Input	Keeper
CSI_DATA02	E2	NVCC_CSI	GPIO	ALT5	CSI_DATA02	Input	Keeper
CSI_DATA03	E1	NVCC_CSI	GPIO	ALT5	CSI_DATA03	Input	Keeper
CSI_DATA04	D4	NVCC_CSI	GPIO	ALT5	CSI_DATA04	Input	Keeper
CSI_DATA05	D3	NVCC_CSI	GPIO	ALT0	CSI_DATA05	Input	Keeper
CSI_DATA06	D2	NVCC_CSI	GPIO	ALT5	CSI_DATA06	Input	Keeper
CSI_DATA07	D1	NVCC_CSI	GPIO	ALT5	CSI_DATA07	Input	Keeper
CSI_HSYNC	F3	NVCC_CSI	GPIO	ALT5	CSI_HSYNC	Input	Keeper
CSI_MCLK	F5	NVCC_CSI	GPIO	ALT5	CSI_MCLK	Input	Keeper
CSI_PIXCLK	E5	NVCC_CSI	GPIO	ALT5	CSI_PIXCLK	Input	Keeper
CSI_VSYNC	F2	NVCC_CSI	GPIO	ALT5	CSI_VSYNC	Input	Keeper
DRAM_ADDR00	L5	NVCC_DRAM	DDR	ALT0	DRAM_ADDR00	Output	100 kΩ pull-up
DRAM_ADDR01	H2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR01	Output	100 kΩ pull-up
DRAM_ADDR02	K1	NVCC_DRAM	DDR	ALT0	DRAM_ADDR02	Output	100 kΩ pull-up
DRAM_ADDR03	M2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR03	Output	100 kΩ pull-up
DRAM_ADDR04	K4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR04	Output	100 kΩ pull-up
DRAM_ADDR05	L1	NVCC_DRAM	DDR	ALT0	DRAM_ADDR05	Output	100 kΩ pull-up
DRAM_ADDR06	G2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR06	Output	100 kΩ pull-up

表 92. 14x14 mm 功能引脚分配 (续)

DRAM_ADDR07	H4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR07	Output	100 kΩ pull-up
DRAM_ADDR08	J4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR08	Output	100 kΩ pull-up
DRAM_ADDR09	L2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR09	Output	100 kΩ pull-up
DRAM_ADDR10	M4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR10	Output	100 kΩ pull-up
DRAM_ADDR11	K3	NVCC_DRAM	DDR	ALT0	DRAM_ADDR11	Output	100 kΩ pull-up
DRAM_ADDR12	L4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR12	Output	100 kΩ pull-up
DRAM_ADDR13	H3	NVCC_DRAM	DDR	ALT0	DRAM_ADDR13	Output	100 kΩ pull-up
DRAM_ADDR14	G1	NVCC_DRAM	DDR	ALT0	DRAM_ADDR14	Output	100 kΩ pull-up
DRAM_ADDR15	K5	NVCC_DRAM	DDR	ALT0	DRAM_ADDR15	Output	100 kΩ pull-up
DRAM_CAS_B	J2	NVCC_DRAM	DDR	ALT0	DRAM_CAS_B	Output	100 kΩ pull-up
DRAM_CS0_B	N2	NVCC_DRAM	DDR	ALT0	DRAM_CS0_B	Output	100 kΩ pull-up
DRAM_CS1_B	H5	NVCC_DRAM	DDR	ALT0	DRAM_CS1_B	Output	100 kΩ pull-up
DRAM_DATA00	T4	NVCC_DRAM	DDR	ALT0	DRAM_DATA00	Input	100 kΩ pull-up
DRAM_DATA01	U6	NVCC_DRAM	DDR	ALT0	DRAM_DATA01	Input	100 kΩ pull-up
DRAM_DATA02	T6	NVCC_DRAM	DDR	ALT0	DRAM_DATA02	Input	100 kΩ pull-up
DRAM_DATA03	U7	NVCC_DRAM	DDR	ALT0	DRAM_DATA03	Input	100 kΩ pull-up
DRAM_DATA04	U8	NVCC_DRAM	DDR	ALT0	DRAM_DATA04	Input	100 kΩ pull-up
DRAM_DATA05	T8	NVCC_DRAM	DDR	ALT0	DRAM_DATA05	Input	100 kΩ pull-up
DRAM_DATA06	T5	NVCC_DRAM	DDR	ALT0	DRAM_DATA06	Input	100 kΩ pull-up
DRAM_DATA07	U4	NVCC_DRAM	DDR	ALT0	DRAM_DATA07	Input	100 kΩ pull-up
DRAM_DATA08	U2	NVCC_DRAM	DDR	ALT0	DRAM_DATA08	Input	100 kΩ pull-up

表 92. 14x14 mm 功能引脚分配 (续)

DRAM_DATA09	U3	NVCC_DRAM	DDR	ALT0	DRAM_DATA09	Input	100 kΩ pull-up
DRAM_DATA10	U5	NVCC_DRAM	DDR	ALT0	DRAM_DATA10	Input	100 kΩ pull-up
DRAM_DATA11	R4	NVCC_DRAM	DDR	ALT0	DRAM_DATA11	Input	100 kΩ pull-up
DRAM_DATA12	P5	NVCC_DRAM	DDR	ALT0	DRAM_DATA12	Input	100 kΩ pull-up
DRAM_DATA13	P3	NVCC_DRAM	DDR	ALT0	DRAM_DATA13	Input	100 kΩ pull-up
DRAM_DATA14	R2	NVCC_DRAM	DDR	ALT0	DRAM_DATA14	Input	100 kΩ pull-up
DRAM_DATA15	R1	NVCC_DRAM	DDR	ALT0	DRAM_DATA15	Input	100 kΩ pull-up
DRAM_DQM0	T7	NVCC_DRAM	DDR	ALT0	DRAM_DQM0	Output	100 kΩ pull-up
DRAM_DQM1	T3	NVCC_DRAM	DDR	ALT0	DRAM_DQM1	Output	100 kΩ pull-up
DRAM_ODT0	N1	NVCC_DRAM	DDR	ALT0	DRAM_ODT0	Output	100 kΩ pull-down
DRAM_ODT1	F1	NVCC_DRAM	DDR	ALT0	DRAM_ODT1	Output	100 kΩ pull-down
DRAM_RAS_B	M5	NVCC_DRAM	DDR	ALT0	DRAM_RAS_B	Output	100 kΩ pull-up
DRAM_RESET	G4	NVCC_DRAM	DDR	ALT0	DRAM_RESET	Output	100 kΩ pull-down
DRAM_SDBA0	M1	NVCC_DRAM	DDR	ALT0	DRAM_SDBA0	Output	100 kΩ pull-up
DRAM_SDBA1	H1	NVCC_DRAM	DDR	ALT0	DRAM_SDBA1	Output	100 kΩ pull-up
DRAM_SDBA2	K2	NVCC_DRAM	DDR	ALT0	DRAM_SDBA2	Output	100 kΩ pull-up
DRAM_SDCKE0	M3	NVCC_DRAM	DDR	ALT0	DRAM_SDCKE0	Output	100 kΩ pull-down
DRAM_SDCKE1	J3	NVCC_DRAM	DDR	ALT0	DRAM_SDCKE1	Output	100 kΩ pull-down
DRAM_SDCLK0_N	P2	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDCLK0_N	Input	100 kΩ pull-up
DRAM_SDCLK0_P	P1	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDCLK0_P	Input	100 kΩ pull-up
DRAM_SDQS0_N	P7	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS0_N	Input	100 kΩ pull-down

表 92. 14x14 mm 功能引脚分配 (续)

DRAM_SDQS0_P	P6	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS0_P	Input	100 kΩ pull-down
DRAM_SDQS1_N	T2	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS1_N	Input	100 kΩ pull-down
DRAM_SDQS1_P	T1	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS1_P	Input	100 kΩ pull-down
DRAM_SDWE_B	J1	NVCC_DRAM	DDR	ALT0	DRAM_SDWE_B	Output	100 kΩ pull-up
DRAM_ZQPAD	N4	NVCC_DRAM	GPIO	—	DRAM_ZQPAD	Input	Keeper
ENET1_RX_DATA0	F16	NVCC_ENET	GPIO	ALT5	ENET1_RX_DATA0	Input	Keeper
ENET1_RX_DATA1	E17	NVCC_ENET	GPIO	ALT5	ENET1_RX_DATA1	Input	Keeper
ENET1_RX_EN	E16	NVCC_ENET	GPIO	ALT5	ENET1_RX_EN	Input	Keeper
ENET1_RX_ER	D15	NVCC_ENET	GPIO	ALT5	ENET1_RX_ER	Input	Keeper
ENET1_TX_CLK	F14	NVCC_ENET	GPIO	ALT5	ENET1_TX_CLK	Input	Keeper
ENET1_TX_DATA0	E15	NVCC_ENET	GPIO	ALT5	ENET1_TX_DATA0	Input	Keeper
ENET1_TX_DATA1	E14	NVCC_ENET	GPIO	ALT5	ENET1_TX_DATA1	Input	Keeper
ENET1_TX_EN	F15	NVCC_ENET	GPIO	ALT5	ENET1_TX_EN	Input	Keeper
ENET2_RX_DATA0	C17	NVCC_ENET	GPIO	ALT5	ENET2_RX_DATA0	Input	Keeper
ENET2_RX_DATA1	C16	NVCC_ENET	GPIO	ALT5	ENET2_RX_DATA1	Input	Keeper
ENET2_RX_EN	B17	NVCC_ENET	GPIO	ALT5	ENET2_RX_EN	Input	Keeper
ENET2_RX_ER	D16	NVCC_ENET	GPIO	ALT5	ENET2_RX_ER	Input	Keeper
ENET2_TX_CLK	D17	NVCC_ENET	GPIO	ALT5	ENET2_TX_CLK	Input	Keeper
ENET2_TX_DATA0	A15	NVCC_ENET	GPIO	ALT5	ENET2_TX_DATA0	Input	Keeper
ENET2_TX_DATA1	A16	NVCC_ENET	GPIO	ALT5	ENET2_TX_DATA1	Input	Keeper
ENET2_TX_EN	B15	NVCC_ENET	GPIO	ALT5	ENET2_TX_EN	Input	Keeper
GPIO1_IO00	K13	NVCC_GPIO	GPIO	ALT5	GPIO1_IO00	Input	Keeper
GPIO1_IO01	L15	NVCC_GPIO	GPIO	ALT5	GPIO1_IO01	Input	Keeper
GPIO1_IO02	L14	NVCC_GPIO	GPIO	ALT5	GPIO1_IO02	Input	Keeper
GPIO1_IO03	L17	NVCC_GPIO	GPIO	ALT5	GPIO1_IO03	Input	Keeper
GPIO1_IO04	M16	NVCC_GPIO	GPIO	ALT5	GPIO1_IO04	Input	Keeper
GPIO1_IO05	M17	NVCC_GPIO	GPIO	ALT5	GPIO1_IO05	Input	Keeper
GPIO1_IO06	K17	NVCC_GPIO	GPIO	ALT5	GPIO1_IO06	Input	Keeper
GPIO1_IO07	L16	NVCC_GPIO	GPIO	ALT5	GPIO1_IO07	Input	Keeper
GPIO1_IO08	N17	NVCC_GPIO	GPIO	ALT5	GPIO1_IO08	Input	Keeper
GPIO1_IO09	M15	NVCC_GPIO	GPIO	ALT5	GPIO1_IO09	Input	Keeper

表 92. 14x14 mm 功能引脚分配 (续)

JTAG_MOD	P15	NVCC_GPIO	GPIO	ALT5	JTAG_MOD	Input	100 kΩ pull-up
JTAG_TCK	M14	NVCC_GPIO	GPIO	ALT5	JTAG_TCK	Input	47 kΩ pull-up
JTAG_TDI	N16	NVCC_GPIO	GPIO	ALT5	JTAG_TDI	Input	47 kΩ pull-up
JTAG_TDO	N15	NVCC_GPIO	GPIO	ALT5	JTAG_TDO	Output	Keeper
JTAG_TMS	P14	NVCC_GPIO	GPIO	ALT5	JTAG_TMS	Input	47 kΩ pull-up
JTAG_TRST_B	N14	NVCC_GPIO	GPIO	ALT5	JTAG_TRST_B	Input	47 kΩ pull-up
LCD_CLK	A8	NVCC_LCD	GPIO	ALT5	LCD_CLK	Input	Keeper
LCD_DATA00	B9	NVCC_LCD	GPIO	ALT5	LCD_DATA00	Input	Keeper
LCD_DATA01	A9	NVCC_LCD	GPIO	ALT5	LCD_DATA01	Input	Keeper
LCD_DATA02	E10	NVCC_LCD	GPIO	ALT5	LCD_DATA02	Input	Keeper
LCD_DATA03	D10	NVCC_LCD	GPIO	ALT5	LCD_DATA03	Input	Keeper
LCD_DATA04	C10	NVCC_LCD	GPIO	ALT5	LCD_DATA04	Input	Keeper
LCD_DATA05	B10	NVCC_LCD	GPIO	ALT5	LCD_DATA05	Input	Keeper
LCD_DATA06	A10	NVCC_LCD	GPIO	ALT5	LCD_DATA06	Input	Keeper
LCD_DATA07	D11	NVCC_LCD	GPIO	ALT5	LCD_DATA07	Input	Keeper
LCD_DATA08	B11	NVCC_LCD	GPIO	ALT5	LCD_DATA08	Input	Keeper
LCD_DATA09	A11	NVCC_LCD	GPIO	ALT5	LCD_DATA09	Input	Keeper
LCD_DATA10	E12	NVCC_LCD	GPIO	ALT5	LCD_DATA10	Input	Keeper
LCD_DATA11	D12	NVCC_LCD	GPIO	ALT5	LCD_DATA11	Input	Keeper
LCD_DATA12	C12	NVCC_LCD	GPIO	ALT5	LCD_DATA12	Input	Keeper
LCD_DATA13	B12	NVCC_LCD	GPIO	ALT5	LCD_DATA13	Input	Keeper
LCD_DATA14	A12	NVCC_LCD	GPIO	ALT5	LCD_DATA14	Input	Keeper
LCD_DATA15	D13	NVCC_LCD	GPIO	ALT5	LCD_DATA15	Input	Keeper
LCD_DATA16	C13	NVCC_LCD	GPIO	ALT5	LCD_DATA16	Input	Keeper
LCD_DATA17	B13	NVCC_LCD	GPIO	ALT5	LCD_DATA17	Input	Keeper
LCD_DATA18	A13	NVCC_LCD	GPIO	ALT5	LCD_DATA18	Input	Keeper
LCD_DATA19	D14	NVCC_LCD	GPIO	ALT5	LCD_DATA19	Input	Keeper
LCD_DATA20	C14	NVCC_LCD	GPIO	ALT5	LCD_DATA20	Input	Keeper
LCD_DATA21	B14	NVCC_LCD	GPIO	ALT5	LCD_DATA21	Input	Keeper
LCD_DATA22	A14	NVCC_LCD	GPIO	ALT5	LCD_DATA22	Input	Keeper
LCD_DATA23	B16	NVCC_LCD	GPIO	ALT5	LCD_DATA23	Input	Keeper

表 92. 14x14 mm 功能引脚分配 (续)

LCD_ENABLE	B8	NVCC_LCD	GPIO	ALT5	LCD_ENABLE	Input	Keeper
LCD_HSYNC	D9	NVCC_LCD	GPIO	ALT5	LCD_HSYNC	Input	Keeper
LCD_RESET	E9	NVCC_LCD	GPIO	ALT5	LCD_RESET	Input	Keeper
LCD_VSYNC	C9	NVCC_LCD	GPIO	ALT5	LCD_VSYNC	Input	Keeper
NAND_ALE	B4	NVCC_NAND	GPIO	ALT5	VDDSOC	Input	Keeper
NAND_CE0_B	C5	NVCC_NAND	GPIO	ALT5	NAND_CE0_B	Input	Keeper
NAND_CE1_B	B5	NVCC_NAND	GPIO	ALT5	NAND_CE1_B	Input	Keeper
NAND_CLE	A4	NVCC_NAND	GPIO	ALT5	NAND_CLE	Input	Keeper
NAND_DATA00	D7	NVCC_NAND	GPIO	ALT5	NAND_DATA00	Input	Keeper
NAND_DATA01	B7	NVCC_NAND	GPIO	ALT5	NAND_DATA01	Input	Keeper
NAND_DATA02	A7	NVCC_NAND	GPIO	ALT5	NAND_DATA02	Input	Keeper
NAND_DATA03	D6	NVCC_NAND	GPIO	ALT5	NAND_DATA03	Input	Keeper
NAND_DATA04	C6	NVCC_NAND	GPIO	ALT5	NAND_DATA04	Input	Keeper
NAND_DATA05	B6	NVCC_NAND	GPIO	ALT5	NAND_DATA05	Input	Keeper
NAND_DATA06	A6	NVCC_NAND	GPIO	ALT5	NAND_DATA06	Input	Keeper
NAND_DATA07	A5	NVCC_NAND	GPIO	ALT5	NAND_DATA07	Input	Keeper
NAND_DQS	E6	NVCC_NAND	GPIO	ALT5	NAND_DQS	Input	Keeper
NAND_RE_B	D8	NVCC_NAND	GPIO	ALT5	NAND_RE_B	Input	Keeper
NAND_READY_B	A3	NVCC_NAND	GPIO	ALT5	NAND_READY_B	Input	Keeper
NAND_WE_B	C8	NVCC_NAND	GPIO	ALT5	NAND_WE_B	Input	Keeper
NAND_WP_B	D5	NVCC_NAND	GPIO	ALT5	NAND_WP_B	Input	Keeper
ONOFF	R8	VDD_SNVS_IN	GPIO	ALT0	ONOFF	Input	100 kΩ pull-up
POR_B	P8	VDD_SNVS_IN	GPIO	ALT0	POR_B	Input	100 kΩ pull-up
RTC_XTALI	T11	VDD_SNVS_CAP	ANALOG	—	RTC_XTALI	—	—
RTC_XTALO	U11	VDD_SNVS_CAP	ANALOG	—	RTC_XTALO	—	—
SD1_CLK	C1	NVCC_SD	GPIO	ALT5	SD1_CLK	Input	Keeper
SD1_CMD	C2	NVCC_SD	GPIO	ALT5	SD1_CMD	Input	Keeper
SD1_DATA0	B3	NVCC_SD	GPIO	ALT5	SD1_DATA0	Input	Keeper
SD1_DATA1	B2	NVCC_SD	GPIO	ALT5	SD1_DATA1	Input	Keeper
SD1_DATA2	B1	NVCC_SD	GPIO	ALT5	SD1_DATA2	Input	Keeper
SD1_DATA3	A2	NVCC_SD	GPIO	ALT5	SD1_DATA3	Input	Keeper
SNVS_PMIC_ON_REQ	T9	VDD_SNVS_IN	GPIO	ALT0	SNVS_PMIC_ON_REQ	Output	100 kΩ pull-up

表 92. 14x14 mm 功能引脚分配 (续)

SNVS_TAMPER0	R10	VDD_SNVS_IN	GPIO	—	GPIO5_IO00/SNVS_TAMPER0 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER1	R9	VDD_SNVS_IN	GPIO	—	GPIO5_IO01/SNVS_TAMPER1 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER2	P11	VDD_SNVS_IN	GPIO	—	GPIO5_IO02/SNVS_TAMPER2 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER3	P10	VDD_SNVS_IN	GPIO	—	GPIO5_IO03/SNVS_TAMPER3 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER4	P9	VDD_SNVS_IN	GPIO	—	GPIO5_IO04/SNVS_TAMPER4 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER5	N8	VDD_SNVS_IN	GPIO	—	GPIO5_IO05/SNVS_TAMPER5 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER6	N11	VDD_SNVS_IN	GPIO	—	GPIO5_IO06/SNVS_TAMPER6 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER7	N10	VDD_SNVS_IN	GPIO	—	GPIO5_IO07/SNVS_TAMPER7 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER8	N9	VDD_SNVS_IN	GPIO	—	GPIO5_IO08/SNVS_TAMPER8 ¹	Input	Keeper/Floating ^{1,2}
SNVS_TAMPER9	R6	VDD_SNVS_IN	GPIO	—	GPIO5_IO09/SNVS_TAMPER9 ¹	Input	Keeper/Floating ^{1,2}
TEST_MODE	N7	VDD_SNVS_IN	GPIO	ALT0	TEST_MODE	Input	Keeper
UART1_CTS_B	K15	NVCC_UART	GPIO	ALT5	UART1_CTS_B	Input	Keeper
UART1_RTS_B	J14	NVCC_UART	GPIO	ALT5	UART1_RTS_B	Input	Keeper
UART1_RX_DATA	K16	NVCC_UART	GPIO	ALT5	UART1_RX_DATA	Input	Keeper
UART1_TX_DATA	K14	NVCC_UART	GPIO	ALT5	UART1_TX_DATA	Input	Keeper
UART2_CTS_B	J15	NVCC_UART	GPIO	ALT5	UART2_CTS_B	Input	Keeper
UART2_RTS_B	H14	NVCC_UART	GPIO	ALT5	UART2_RTS_B	Input	Keeper
UART2_RX_DATA	J16	NVCC_UART	GPIO	ALT5	UART2_RX_DATA	Input	Keeper
UART2_TX_DATA	J17	NVCC_UART	GPIO	ALT5	UART2_TX_DATA	Input	Keeper
UART3_CTS_B	H15	NVCC_UART	GPIO	ALT5	UART3_CTS_B	Input	Keeper
UART3_RTS_B	G14	NVCC_UART	GPIO	ALT5	UART3_RTS_B	Input	Keeper
UART3_RX_DATA	H16	NVCC_UART	GPIO	ALT5	UART3_RX_DATA	Input	Keeper
UART3_TX_DATA	H17	NVCC_UART	GPIO	ALT5	UART3_TX_DATA	Input	Keeper
UART4_RX_DATA	G16	NVCC_UART	GPIO	ALT5	UART4_RX_DATA	Input	Keeper
UART4_TX_DATA	G17	NVCC_UART	GPIO	ALT5	UART4_TX_DATA	Input	Keeper
UART5_RX_DATA	G13	NVCC_UART	GPIO	ALT5	UART5_RX_DATA	Input	Keeper
UART5_TX_DATA	F17	NVCC_UART	GPIO	ALT5	UART5_TX_DATA	Input	Keeper
USB_OTG1_CHD_B	U16	OPEN DRAIN	GPIO	—	USB_OTG1_CHD_B	—	—

表 92. 14x14 mm 功能引脚分配（续）

USB_OTG1_DN	T15	VDD_USB_CAP	ANALOG	—	USB_OTG1_DN	—	—
USB_OTG1_DP	U15	VDD_USB_CAP	ANALOG	—	USB_OTG1_DP	—	—
USB_OTG1_VBUS	T12	USB_VBUS	VBUS POWER	—	USB_OTG1_VBUS	—	—
USB_OTG2_DN	T13	VDD_USB_CAP	ANALOG	—	USB_OTG2_DN	—	—
USB_OTG2_DP	U13	VDD_USB_CAP	ANALOG	—	USB_OTG2_DP	—	—
USB_OTG2_VBUS	U12	USB_VBUS	VBUS POWER	—	USB_OTG2_VBUS	—	—
XTALI	T16	NVCC_PLL	ANALOG	—	XTALI	—	—
XTALO	T17	NVCC_PLL	ANALOG	—	XTALO	—	—

¹ SNVS_TAMPER0 至 SNVS_TAMPER9 可配置为 GPIO 或 Tamper 检测功能引脚，具体取决于熔丝配置位 TAMPER_PIN_DISABLE[1:0] 的设定。如果相关引脚配置为 GPIO，则此值设定为复位后启用保持器。

² SNVS_TAMPER0 至 SNVS_TAMPER9 在下列情形下设定为悬空输入：

- 配置为 GPIO 输入引脚，且处于 SNVS 低功耗模式
- 配置为 Tamper 检测引脚，但未启用 Tamper 检测功能

在以上两种情形下，需要在相应引脚外部连接 1M Ω 上拉或下拉电阻，以避免意外的电源泄漏。

6.1.3 14x14 mm, 0.8 mm 间距, 焊球分布

表 93 为 i.MX 6UltraLite 14x14 mm、0.8 mm 间距 BGA 封装的焊球分布列表。

表 93. 14x14 mm, 0.8 mm 间距, 焊球分布

F	E	D	C	B	A	
DRAM_ODT1	CSI_DATA03	CSI_DATA07	SD1_CLK	SD1_DATA2	VSS	1
CSI_VSYNC	CSI_DATA02	CSI_DATA06	SD1_CMD	SD1_DATA1	SD1_DATA3	2
CSI_HSYNC	CSI_DATA01	CSI_DATA05	VSS	SD1_DATA0	NAND_READY_B	3
NVCC_CSI	CSI_DATA00	CSI_DATA04	NVCC_SD1	NAND_ALE	NAND_CLE	4
CSI_MCLK	CSI_PIXCLK	NAND_WP_B	NAND_CE0_B	NAND_CE1_B	NAND_DATA07	5
VSS	NAND_DQS	NAND_DATA03	NAND_DATA04	NAND_DATA05	NAND_DATA06	6
VSS	NVCC_NAND	NAND_DATA00	VSS	NAND_DATA01	NAND_DATA02	7
VSS	VSS	NAND_RE_B	NAND_WE_B	LCD_ENABLE	LCD_CLK	8
VSS	LCD_RESET	LCD_HSYNC	LCD_VSYNC	LCD_DATA00	LCD_DATA01	9
VSS	LCD_DATA02	LCD_DATA03	LCD_DATA04	LCD_DATA05	LCD_DATA06	10
VSS	VSS	LCD_DATA07	VSS	LCD_DATA08	LCD_DATA09	11
VSS	LCD_DATA10	LCD_DATA11	LCD_DATA12	LCD_DATA13	LCD_DATA14	12
NVCC_ENET	NVCC_LCD	LCD_DATA15	LCD_DATA16	LCD_DATA17	LCD_DATA18	13
ENET1_TX_CLK	ENET1_TX_DATA1	LCD_DATA19	LCD_DATA20	LCD_DATA21	LCD_DATA22	14
ENET1_TX_EN	ENET1_TX_DATA0	ENET1_RX_ER	VSS	ENET2_TX_EN	ENET2_TX_DATA0	15
ENET1_RX_DATA0	ENET1_RX_EN	ENET2_RX_ER	ENET2_RX_DATA1	LCD_DATA23	ENET2_TX_DATA1	16
UART5_TX_DATA	ENET1_RX_DATA1	ENET2_TX_CLK	ENET2_RX_DATA0	ENET2_RX_EN	VSS	17
F	E	D	C	B	A	

表 93. 14x14 mm, 0.8 mm 间距, 焊球分布 (续)

N	M	L	K	J	H	G
DRAM_ODT0	DRAM_SDBA0	DRAM_ADDR05	DRAM_ADDR02	DRAM_SDWE_B	DRAM_SDBA1	DRAM_ADDR14
DRAM_CS0B	DRAM_ADDR03	DRAM_ADDR09	DRAM_SDBA2	DRAM_CAS_B	DRAM_ADDR01	DRAM_ADDR06
VSS	DRAM_SDCKE0	VSS	DRAM_ADDR11	DRAM_SDCKE1	DRAM_ADDR13	VSS
DRAM_ZQPAD	DRAM_ADDR10	DRAM_ADDR12	DRAM_ADDR04	DRAM_ADDR08	DRAM_ADDR07	DRAM_RESET
VSS	DRAM_RAS_B	DRAM_ADDR00	DRAM_ADDR15	VSS	DRAM_CS1_B	VSS
NVCC_DRAM_2P5	NVCC_DRAM	NVCC_DRAM	NVCC_DRAM	NVCC_DRAM	NVCC_DRAM	NVCC_DRAM
TEST_MODE	VSS	VSS	VSS	VSS	VSS	VSS
SNVS_TAMPER5	VSS	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP
SNVS_TAMPER8	VSS	VDD_SOC_CAP	VDD_SOC_IN	VDD_SOC_IN	VDD_SOC_IN	VDD_ARM_CAP
SNVS_TAMPER7	VSS	VDD_SOC_CAP	VDD_SOC_IN	VDD_SOC_IN	VDD_SOC_IN	VDD_ARM_CAP
SNVS_TAMPER6	VSS	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP	VDD_ARM_CAP	VDD_ARM_CAP
VDD_SNVS_CAP	NGND_KEL0	VSS	VSS	VSS	VSS	VSS
VDD_HIGH_IN	ADC_VREFH	VDDA_ADC_3P3	GPIO1_IO00	NVCC_GPIO	NVCC_UART	UART5_RX_DATA
JTAG_TRST_B	JTAG_TCK	GPIO1_IO02	UART1_TX_DATA	UART1_RTS_B	UART2_RTS_B	UART3_RTS_B
JTAG_TDO	GPIO1_IO09	GPIO1_IO01	UART1_CTS_B	UART2_CTS_B	UART3_CTS_B	VSS
JTAG_TDI	GPIO1_IO04	GPIO1_IO07	UART1_RX_DATA	UART2_RX_DATA	UART3_RX_DATA	UART4_RX_DATA
GPIO1_IO08	GPIO1_IO05	GPIO1_IO03	GPIO1_IO06	UART2_TX_DATA	UART3_TX_DATA	UART4_TX_DATA
N	M	L	K	J	H	G

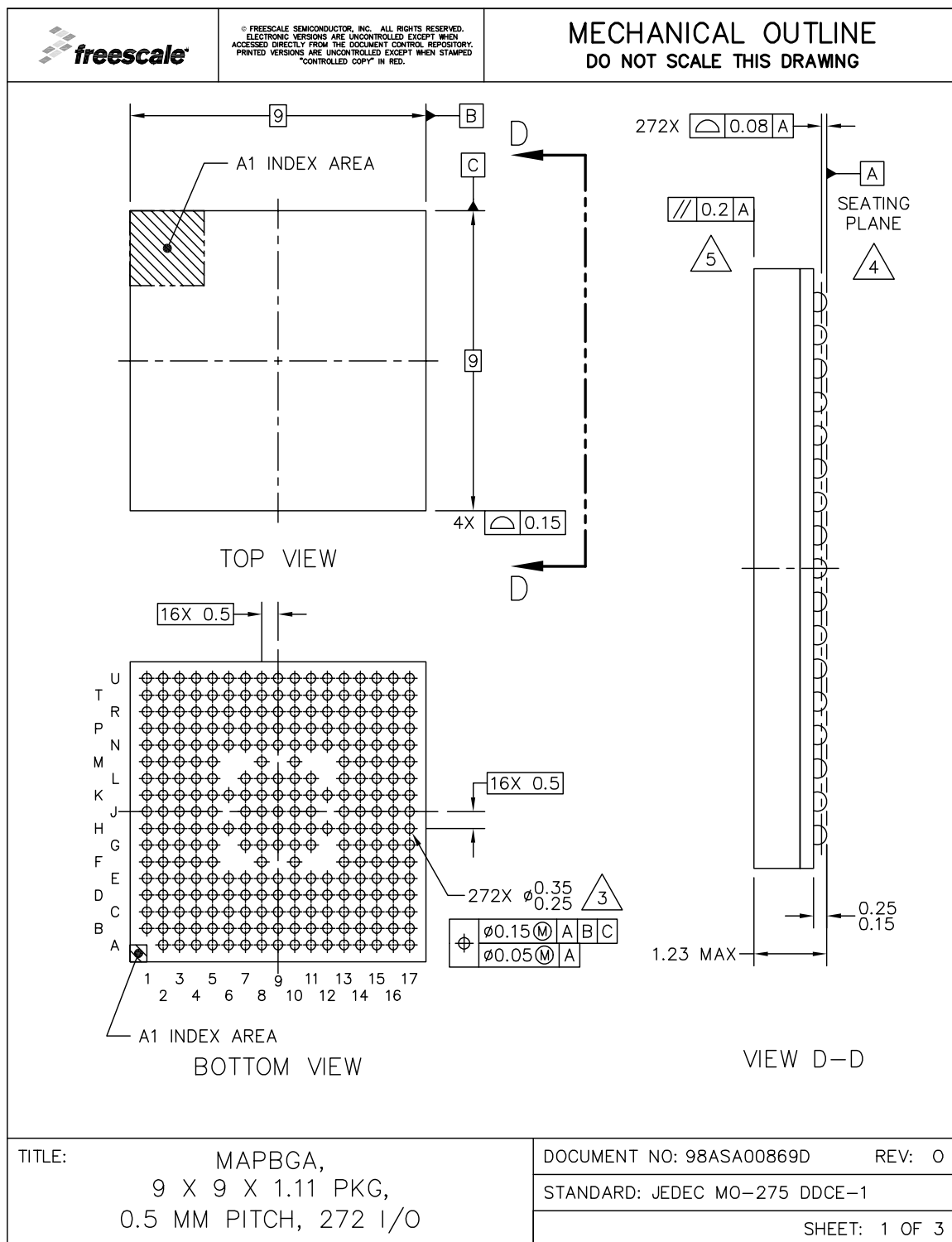
表 93. 14x14 mm, 0.8 mm 间距, 焊球分布 (续)

	U	T	R	P
1	VSS	DRAM_SDQS1_P	DRAM_DATA15	DRAM_SDCLK0_P
2	DRAM_DATA08	DRAM_SDQS1_N	DRAM_DATA14	DRAM_SDCLK0_N
3	DRAM_DATA09	DRAM_DQM1	VSS	DRAM_DATA13
4	DRAM_DATA07	DRAM_DATA00	DRAM_DATA11	DRAM_VREF
5	DRAM_DATA10	DRAM_DATA06	VSS	DRAM_DATA12
6	DRAM_DATA01	DRAM_DATA02	SNVS_TAMPER9	DRAM_SDQS0_P
7	DRAM_DATA03	DRAM_DQM0	VSS	DRAM_SDQS0_N
8	DRAM_DATA04	DRAM_DATA05	ONOFF	POR_B
9	CCM_PMIC_STBY_REQ	SNVS_PMIC_ON_REQ	SNVS_TAMPER1	SNVS_TAMPER4
10	BOOT_MODE1	BOOT_MODE0	SNVS_TAMPER0	SNVS_TAMPER3
11	RTC_XTALO	RTC_XTALI	VSS	SNVS_TAMPER2
12	USB_OTG2_VBUS	USB_OTG1_VBUS	VDD_USB_CAP	VDD_SNVS_IN
13	USB_OTG2_DP	USB_OTG2_DN	GPANAIO	NVCC_PLL
14	VSS	VSS	VDD_HIGH_CAP	JTAG_TMS
15	USB_OTG1_DP	USB_OTG1_DN	VDD_HIGH_CAP	JTAG_MOD
16	USB_OTG1_CHD_B	XTALI	VSS	CCM_CLK1_N
17	VSS	XTALO	VSS	CCM_CLK1_P
	U	T	R	P

6.2 9x9 mm 封装信息

6.2.1 9x9 mm, 0.5 mm 间距, 焊球分布图

图 72 介绍 9x9 mm BGA 封装的顶视图、底视图和侧视图。



		© FREESCALE SEMICONDUCTOR, INC. ALL RIGHTS RESERVED. ELECTRONIC VERSIONS ARE UNCONTROLLED EXCEPT WHEN ACCESSSED DIRECTLY FROM THE DOCUMENT CONTROL REPOSITORY. PRINTED VERSIONS ARE UNCONTROLLED EXCEPT WHEN STAMPED "CONTROLLED COPY" IN RED.		MECHANICAL OUTLINE DO NOT SCALE THIS DRAWING	
NOTES: 1. ALL DIMENSIONS IN MILLIMETERS. 2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994. 3. MAXIMUM SOLDER BALL DIAMETER MEASURED PARALLEL TO DATUM A. 4. DATUM A, THE SEATING PLANE, IS DETERMINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS. 5. PARALLELISM MEASUREMENT SHALL EXCLUDE ANY EFFECT OF MARK ON TOP SURFACE OF PACKAGE.					
TITLE: MAPBGA, 9 X 9 X 1.11 PKG, 0.5MM PITCH, 272 I/O				DOCUMENT NO: 98ASA00869D REV: 0	
				STANDARD: JEDEC MO-275 DDCE-1	
				SHEET: 2	

图 72. 9x9 mm BGA, 外壳 x 封装顶视图、底视图和侧视图

6.2.2 9x9 mm 电源引脚分配和功能引脚分配

表 94 为器件的接地、检测和参考信号引脚列表。

表 94. 9x9 mm 电源引脚分配

电源引脚名称	焊球编号	备注
ADC_VREFH	N13	—
DRAM_VREF	T1	—
GPANAIO	T11	—
NGND_KEL0	M10	—
NVCC_CSI	E5	—
NVCC_DRAM	G5, L5, M5, N6	—
NVCC_DRAM_2P5	K6	—
NVCC_ENET	G13	—
NVCC_GPIO	M13	—
NVCC_LCD	E13	—
NVCC_NAND	E11	—
NVCC_PLL	T13	—
NVCC_SD1	E7	—
NVCC_UART	L13	—
VDD_ARM_CAP	G9, G10, G11, H9, H10, H11	—
VDD_HIGH_CAP	U11	—
VDD_HIGH_IN	U15	—
VDD_SNV5_CAP	N12	—
VDD_SNV5_IN	P12	—
VDD_SOC_CAP	G7, G8, H7, H8, J7, J8, K7, K8, L7, L8	—
VDD_SOC_IN	J9, J10, J11, K9, K10, K11, L9, L10, L11	—
VDD_USB_CAP	N11	—
VDDA_ADC_3P3	T17	—
VSS	A2, A7, A12, A17, B1, C15, F1, F3, F8, F10, F17, H6, H12, J3, J15, K12, M1, M3, M8, M17, R3, R9, R12, R15, U1, U6, U13, U17	—

表 95 为 9x9 mm 封装的功能引脚分配列表（按字母顺序排列）。

表 95. 9x9 mm 功能引脚分配

焊球名称	9x9 焊球	电源组	焊球 类型	超出复位条件			
				默认值 模式	默认值 功能	输入 / 输出	值
BOOT_MODE0	T8	VDD_SNVIS_IN	GPIO	ALT5	BOOT_MODE0	Input	100 k Ω pull-down
BOOT_MODE1	U8	VDD_SNVIS_IN	GPIO	ALT5	BOOT_MODE1	Input	100 k Ω pull-down
CCM_CLK1_N	U16	VDD_HIGH_CAP	LVDS	—	CCM_CLK1_N	—	—
CCM_CLK1_P	T16	VDD_HIGH_CAP	LVDS	—	CCM_CLK1_P	—	—
CCM_PMIC_STBY_REQ	U7	VDD_SNVIS_IN	GPIO	ALT0	CCM_PMIC_STBY_REQ	Output	—
CSI_DATA00	C3	NVCC_CSI	GPIO	ALT5	CSI_DATA00	Input	Keeper
CSI_DATA01	D4	NVCC_CSI	GPIO	ALT5	CSI_DATA01	Input	Keeper
CSI_DATA02	B2	NVCC_CSI	GPIO	ALT5	CSI_DATA02	Input	Keeper
CSI_DATA03	D1	NVCC_CSI	GPIO	ALT5	CSI_DATA03	Input	Keeper
CSI_DATA04	C4	NVCC_CSI	GPIO	ALT5	CSI_DATA04	Input	Keeper
CSI_DATA05	B3	NVCC_CSI	GPIO	ALT0	CSI_DATA05	Input	Keeper
CSI_DATA06	A3	NVCC_CSI	GPIO	ALT5	CSI_DATA06	Input	Keeper
CSI_DATA07	C2	NVCC_CSI	GPIO	ALT5	CSI_DATA07	Input	Keeper
CSI_HSYNC	D2	NVCC_CSI	GPIO	ALT5	CSI_HSYNC	Input	Keeper
CSI_MCLK	C1	NVCC_CSI	GPIO	ALT5	CSI_MCLK	Input	Keeper
CSI_PIXCLK	D5	NVCC_CSI	GPIO	ALT5	CSI_PIXCLK	Input	Keeper
CSI_VSYNC	D3	NVCC_CSI	GPIO	ALT5	CSI_VSYNC	Input	Keeper
DRAM_ADDR00	G1	NVCC_DRAM	DDR	ALT0	DRAM_ADDR00	Output	100 k Ω pull-up
DRAM_ADDR01	G2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR01	Output	100 k Ω pull-up
DRAM_ADDR02	H1	NVCC_DRAM	DDR	ALT0	DRAM_ADDR02	Output	100 k Ω pull-up
DRAM_ADDR03	J2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR03	Output	100 k Ω pull-up
DRAM_ADDR04	M4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR04	Output	100 k Ω pull-up
DRAM_ADDR05	H2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR05	Output	100 k Ω pull-up

表 95. 9x9 mm 功能引脚分配 (续)

DRAM_ADDR06	E4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR06	Output	100 k Ω pull-up
DRAM_ADDR07	J4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR07	Output	100 k Ω pull-up
DRAM_ADDR08	J5	NVCC_DRAM	DDR	ALT0	DRAM_ADDR08	Output	100 k Ω pull-up
DRAM_ADDR09	J1	NVCC_DRAM	DDR	ALT0	DRAM_ADDR09	Output	100 k Ω pull-up
DRAM_ADDR10	M2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR10	Output	100 k Ω pull-up
DRAM_ADDR11	K5	NVCC_DRAM	DDR	ALT0	DRAM_ADDR11	Output	100 k Ω pull-up
DRAM_ADDR12	L3	NVCC_DRAM	DDR	ALT0	DRAM_ADDR12	Output	100 k Ω pull-up
DRAM_ADDR13	H4	NVCC_DRAM	DDR	ALT0	DRAM_ADDR13	Output	100 k Ω pull-up
DRAM_ADDR14	E3	NVCC_DRAM	DDR	ALT0	DRAM_ADDR14	Output	100 k Ω pull-up
DRAM_ADDR15	E2	NVCC_DRAM	DDR	ALT0	DRAM_ADDR15	Output	100 k Ω pull-up
DRAM_CAS_B	G4	NVCC_DRAM	DDR	ALT0	DRAM_CAS_B	Output	100 k Ω pull-up
DRAM_CS0_B	L1	NVCC_DRAM	DDR	ALT0	DRAM_CS0_B	Output	100 k Ω pull-up
DRAM_CS1_B	H5	NVCC_DRAM	DDR	ALT0	DRAM_CS1_B	Output	100 k Ω pull-up
DRAM_DATA00	T3	NVCC_DRAM	DDR	ALT0	DRAM_DATA00	Input	100 k Ω pull-up
DRAM_DATA01	N5	NVCC_DRAM	DDR	ALT0	DRAM_DATA01	Input	100 k Ω pull-up
DRAM_DATA02	T4	NVCC_DRAM	DDR	ALT0	DRAM_DATA02	Input	100 k Ω pull-up
DRAM_DATA03	T5	NVCC_DRAM	DDR	ALT0	DRAM_DATA03	Input	100 k Ω pull-up
DRAM_DATA04	U5	NVCC_DRAM	DDR	ALT0	DRAM_DATA04	Input	100 k Ω pull-up
DRAM_DATA05	T6	NVCC_DRAM	DDR	ALT0	DRAM_DATA05	Input	100 k Ω pull-up
DRAM_DATA06	R4	NVCC_DRAM	DDR	ALT0	DRAM_DATA06	Input	100 k Ω pull-up

表 95. 9x9 mm 功能引脚分配 (续)

DRAM_DATA07	U3	NVCC_DRAM	DDR	ALT0	DRAM_DATA07	Input	100 k Ω pull-up
DRAM_DATA08	P1	NVCC_DRAM	DDR	ALT0	DRAM_DATA08	Input	100 k Ω pull-up
DRAM_DATA09	U2	NVCC_DRAM	DDR	ALT0	DRAM_DATA09	Input	100 k Ω pull-up
DRAM_DATA10	P3	NVCC_DRAM	DDR	ALT0	DRAM_DATA10	Input	100 k Ω pull-up
DRAM_DATA11	R2	NVCC_DRAM	DDR	ALT0	DRAM_DATA11	Input	100 k Ω pull-up
DRAM_DATA12	P4	NVCC_DRAM	DDR	ALT0	DRAM_DATA12	Input	100 k Ω pull-up
DRAM_DATA13	N2	NVCC_DRAM	DDR	ALT0	DRAM_DATA13	Input	100 k Ω pull-up
DRAM_DATA14	N1	NVCC_DRAM	DDR	ALT0	DRAM_DATA14	Input	100 k Ω pull-up
DRAM_DATA15	P2	NVCC_DRAM	DDR	ALT0	DRAM_DATA15	Input	100 k Ω pull-up
DRAM_DQM0	U4	NVCC_DRAM	DDR	ALT0	DRAM_DQM0	Output	100 k Ω pull-up
DRAM_DQM1	R1	NVCC_DRAM	DDR	ALT0	DRAM_DQM1	Output	100 k Ω pull-up
DRAM_ODT0	K2	NVCC_DRAM	DDR	ALT0	DRAM_ODT0	Output	100 k Ω pull-down
DRAM_ODT1	E1	NVCC_DRAM	DDR	ALT0	DRAM_ODT1	Output	100 k Ω pull-down
DRAM_RAS_B	L4	NVCC_DRAM	DDR	ALT0	DRAM_RAS_B	Output	100 k Ω pull-up
DRAM_RESET	F2	NVCC_DRAM	DDR	ALT0	DRAM_RESET	Output	100 k Ω pull-down
DRAM_SDBA0	H3	NVCC_DRAM	DDR	ALT0	DRAM_SDBA0	Output	100 k Ω pull-up
DRAM_SDBA1	F5	NVCC_DRAM	DDR	ALT0	DRAM_SDBA1	Output	100 k Ω pull-up
DRAM_SDBA2	G3	NVCC_DRAM	DDR	ALT0	DRAM_SDBA2	Output	100 k Ω pull-up
DRAM_SDCKE0	L2	NVCC_DRAM	DDR	ALT0	DRAM_SDCKE0	Output	100 k Ω pull-down
DRAM_SDCKE1	K1	NVCC_DRAM	DDR	ALT0	DRAM_SDCKE1	Output	100 k Ω pull-down

表 95. 9x9 mm 功能引脚分配 (续)

DRAM_SDCLK0_N	K4	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDCLK0_N	Input	100 k Ω pull-up
DRAM_SDCLK0_P	K3	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDCLK0_P	Input	100 k Ω pull-up
DRAM_SDQS0_N	R5	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS0_N	Input	100 k Ω pull-down
DRAM_SDQS0_P	P5	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS0_P	Input	100 k Ω pull-down
DRAM_SDQS1_N	N4	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS1_P	Input	100 k Ω pull-down
DRAM_SDQS1_P	N3	NVCC_DRAM	DDRCLK	ALT0	DRAM_SDQS1_N	Input	100 k Ω pull-down
DRAM_SDWE_B	F4	NVCC_DRAM	DDR	ALT0	DRAM_SDWE_B	Output	100 k Ω pull-up
DRAM_ZQPAD	T2	NVCC_DRAM	GPIO	—	DRAM_ZQPAD	Input	Keeper
ENET1_RX_DATA0	G17	NVCC_ENET	GPIO	ALT5	ENET1_RX_DATA0	Input	Keeper
ENET1_RX_DATA1	F16	NVCC_ENET	GPIO	ALT5	ENET1_RX_DATA1	Input	Keeper
ENET1_RX_EN	G16	NVCC_ENET	GPIO	ALT5	ENET1_RX_EN	Input	Keeper
ENET1_RX_ER	G14	NVCC_ENET	GPIO	ALT5	ENET1_RX_ER	Input	Keeper
ENET1_TX_CLK	G15	NVCC_ENET	GPIO	ALT5	ENET1_TX_CLK	Input	Keeper
ENET1_TX_DATA0	E16	NVCC_ENET	GPIO	ALT5	ENET1_TX_DATA0	Input	Keeper
ENET1_TX_DATA1	F13	NVCC_ENET	GPIO	ALT5	ENET1_TX_DATA1	Input	Keeper
ENET1_TX_EN	F15	NVCC_ENET	GPIO	ALT5	ENET1_TX_EN	Input	Keeper
ENET2_RX_DATA0	E17	NVCC_ENET	GPIO	ALT5	ENET2_RX_DATA0	Input	Keeper
ENET2_RX_DATA1	D17	NVCC_ENET	GPIO	ALT5	ENET2_RX_DATA1	Input	Keeper
ENET2_RX_EN	D16	NVCC_ENET	GPIO	ALT5	ENET2_RX_EN	Input	Keeper
ENET2_RX_ER	H13	NVCC_ENET	GPIO	ALT5	ENET2_RX_ER	Input	Keeper
ENET2_TX_CLK	H14	NVCC_ENET	GPIO	ALT5	ENET2_TX_CLK	Input	Keeper
ENET2_TX_DATA0	E14	NVCC_ENET	GPIO	ALT5	ENET2_TX_DATA0	Input	Keeper
ENET2_TX_DATA1	F14	NVCC_ENET	GPIO	ALT5	ENET2_TX_DATA1	Input	Keeper
ENET2_TX_EN	E15	NVCC_ENET	GPIO	ALT5	ENET2_TX_EN	Input	Keeper
GPIO1_IO00	M14	NVCC_GPIO	GPIO	ALT5	GPIO1_IO00	Input	Keeper
GPIO1_IO01	M15	NVCC_GPIO	GPIO	ALT5	GPIO1_IO01	Input	Keeper
GPIO1_IO02	M16	NVCC_GPIO	GPIO	ALT5	GPIO1_IO02	Input	Keeper
GPIO1_IO03	N16	NVCC_GPIO	GPIO	ALT5	GPIO1_IO03	Input	Keeper

表 95. 9x9 mm 功能引脚分配 (续)

GPIO1_IO04	N17	NVCC_GPIO	GPIO	ALT5	GPIO1_IO04	Input	Keeper
GPIO1_IO05	P15	NVCC_GPIO	GPIO	ALT5	GPIO1_IO05	Input	Keeper
GPIO1_IO06	N15	NVCC_GPIO	GPIO	ALT5	GPIO1_IO06	Input	Keeper
GPIO1_IO07	N14	NVCC_GPIO	GPIO	ALT5	GPIO1_IO07	Input	Keeper
GPIO1_IO08	P14	NVCC_GPIO	GPIO	ALT5	GPIO1_IO08	Input	Keeper
GPIO1_IO09	P16	NVCC_GPIO	GPIO	ALT5	GPIO1_IO09	Input	Keeper
JTAG_MOD	R13	NVCC_GPIO	GPIO	ALT5	JTAG_MOD	Input	100 k Ω pull-up
JTAG_TCK	R17	NVCC_GPIO	GPIO	ALT5	JTAG_TCK	Input	47 k Ω pull-up
JTAG_TDI	P17	NVCC_GPIO	GPIO	ALT5	JTAG_TDI	Input	47 k Ω pull-up
JTAG_TDO	R16	NVCC_GPIO	GPIO	ALT5	JTAG_TDO	Output	Keeper
JTAG_TMS	R14	NVCC_GPIO	GPIO	ALT5	JTAG_TMS	Input	47 k Ω pull-up
JTAG_TRST_B	P13	NVCC_GPIO	GPIO	ALT5	JTAG_TRST_B	Input	47 k Ω pull-up
LCD_CLK	C11	NVCC_LCD	GPIO	ALT5	LCD_CLK	Input	Keeper
LCD_DATA00	D11	NVCC_LCD	GPIO	ALT5	LCD_DATA00	Input	Keeper
LCD_DATA01	B12	NVCC_LCD	GPIO	ALT5	LCD_DATA01	Input	Keeper
LCD_DATA02	D10	NVCC_LCD	GPIO	ALT5	LCD_DATA02	Input	Keeper
LCD_DATA03	B11	NVCC_LCD	GPIO	ALT5	LCD_DATA03	Input	Keeper
LCD_DATA04	A11	NVCC_LCD	GPIO	ALT5	LCD_DATA04	Input	Keeper
LCD_DATA05	D12	NVCC_LCD	GPIO	ALT5	LCD_DATA05	Input	Keeper
LCD_DATA06	D13	NVCC_LCD	GPIO	ALT5	LCD_DATA06	Input	Keeper
LCD_DATA07	C12	NVCC_LCD	GPIO	ALT5	LCD_DATA07	Input	Keeper
LCD_DATA08	B13	NVCC_LCD	GPIO	ALT5	LCD_DATA08	Input	Keeper
LCD_DATA09	A13	NVCC_LCD	GPIO	ALT5	LCD_DATA09	Input	Keeper
LCD_DATA10	D14	NVCC_LCD	GPIO	ALT5	LCD_DATA10	Input	Keeper
LCD_DATA11	C13	NVCC_LCD	GPIO	ALT5	LCD_DATA11	Input	Keeper
LCD_DATA12	C14	NVCC_LCD	GPIO	ALT5	LCD_DATA12	Input	Keeper
LCD_DATA13	A14	NVCC_LCD	GPIO	ALT5	LCD_DATA13	Input	Keeper
LCD_DATA14	B14	NVCC_LCD	GPIO	ALT5	LCD_DATA14	Input	Keeper
LCD_DATA15	A16	NVCC_LCD	GPIO	ALT5	LCD_DATA15	Input	Keeper

表 95. 9x9 mm 功能引脚分配 (续)

LCD_DATA16	A15	NVCC_LCD	GPIO	ALT5	LCD_DATA16	Input	Keeper
LCD_DATA17	D15	NVCC_LCD	GPIO	ALT5	LCD_DATA17	Input	Keeper
LCD_DATA18	B15	NVCC_LCD	GPIO	ALT5	LCD_DATA18	Input	Keeper
LCD_DATA19	E12	NVCC_LCD	GPIO	ALT5	LCD_DATA19	Input	Keeper
LCD_DATA20	B17	NVCC_LCD	GPIO	ALT5	LCD_DATA20	Input	Keeper
LCD_DATA21	C16	NVCC_LCD	GPIO	ALT5	LCD_DATA21	Input	Keeper
LCD_DATA22	B16	NVCC_LCD	GPIO	ALT5	LCD_DATA22	Input	Keeper
LCD_DATA23	C17	NVCC_LCD	GPIO	ALT5	LCD_DATA23	Input	Keeper
LCD_ENABLE	A10	NVCC_LCD	GPIO	ALT5	LCD_ENABLE	Input	Keeper
LCD_HSYNC	B10	NVCC_LCD	GPIO	ALT5	LCD_HSYNC	Input	Keeper
LCD_RESET	E10	NVCC_LCD	GPIO	ALT5	LCD_RESET	Input	Keeper
LCD_VSYNC	C10	NVCC_LCD	GPIO	ALT5	LCD_VSYNC	Input	Keeper
NAND_ALE	D8	NVCC_NAND	GPIO	ALT5	VDDSOC	Input	Keeper
NAND_CE0_B	E8	NVCC_NAND	GPIO	ALT5	NAND_CE0_B	Input	Keeper
NAND_CE1_B	B6	NVCC_NAND	GPIO	ALT5	NAND_CE1_B	Input	Keeper
NAND_CLE	B7	NVCC_NAND	GPIO	ALT5	NAND_CLE	Input	Keeper
NAND_DATA00	D7	NVCC_NAND	GPIO	ALT5	NAND_DATA00	Input	Keeper
NAND_DATA01	A9	NVCC_NAND	GPIO	ALT5	NAND_DATA01	Input	Keeper
NAND_DATA02	C9	NVCC_NAND	GPIO	ALT5	NAND_DATA02	Input	Keeper
NAND_DATA03	C7	NVCC_NAND	GPIO	ALT5	NAND_DATA03	Input	Keeper
NAND_DATA04	C8	NVCC_NAND	GPIO	ALT5	NAND_DATA04	Input	Keeper
NAND_DATA05	A6	NVCC_NAND	GPIO	ALT5	NAND_DATA05	Input	Keeper
NAND_DATA06	B9	NVCC_NAND	GPIO	ALT5	NAND_DATA06	Input	Keeper
NAND_DATA07	B8	NVCC_NAND	GPIO	ALT5	NAND_DATA07	Input	Keeper
NAND_DQS	E6	NVCC_NAND	GPIO	ALT5	NAND_DQS	Input	Keeper
NAND_RE_B	D9	NVCC_NAND	GPIO	ALT5	NAND_RE_B	Input	Keeper
NAND_READY_B	E9	NVCC_NAND	GPIO	ALT5	NAND_READY_B	Input	Keeper
NAND_WE_B	A8	NVCC_NAND	GPIO	ALT5	NAND_WE_B	Input	Keeper
NAND_WP_B	D6	NVCC_NAND	GPIO	ALT5	NAND_WP_B	Input	Keeper
ONOFF	R6	VDD_SNVS_IN	GPIO	ALT0	ONOFF	Input	100 k Ω pull-up
POR_B	R10	VDD_SNVS_IN	GPIO	ALT0	POR_B	Input	100 k Ω pull-up

表 95. 9x9 mm 功能引脚分配 (续)

RTC_XTALI	T12	VDD_SNVS_CAP	ANALOG	—	RTC_XTALI	—	—
RTC_XTALO	U12	VDD_SNVS_CAP	ANALOG	—	RTC_XTALO	—	—
SD1_CLK	C5	NVCC_SD	GPIO	ALT5	SD1_CLK	Input	Keeper
SD1_CMD	C6	NVCC_SD	GPIO	ALT5	SD1_CMD	Input	Keeper
SD1_DATA0	A5	NVCC_SD	GPIO	ALT5	SD1_DATA0	Input	Keeper
SD1_DATA1	A4	NVCC_SD	GPIO	ALT5	SD1_DATA1	Input	Keeper
SD1_DATA2	B5	NVCC_SD	GPIO	ALT5	SD1_DATA2	Input	Keeper
SD1_DATA3	B4	NVCC_SD	GPIO	ALT5	SD1_DATA3	Input	Keeper
SNVS_PMIC_ON_REQ	T7	VDD_SNVS_IN	GPIO	ALT0	SNVS_PMIC_ON_REQ	Output	100 k Ω pull-up
SNVS_TAMPER0	R8	VDD_SNVS_IN	GPIO	—	GPIO5_IO00/SNVS_TAMPER0 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER1	P6	VDD_SNVS_IN	GPIO	—	GPIO5_IO01/SNVS_TAMPER1 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER2	N10	VDD_SNVS_IN	GPIO	—	GPIO5_IO02/SNVS_TAMPER2 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER3	P10	VDD_SNVS_IN	GPIO	—	GPIO5_IO03/SNVS_TAMPER3 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER4	P7	VDD_SNVS_IN	GPIO	—	GPIO5_IO04/SNVS_TAMPER4 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER5	P8	VDD_SNVS_IN	GPIO	—	GPIO5_IO05/SNVS_TAMPER5 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER6	R7	VDD_SNVS_IN	GPIO	—	GPIO5_IO06/SNVS_TAMPER6 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER7	N9	VDD_SNVS_IN	GPIO	—	GPIO5_IO07/SNVS_TAMPER7 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER8	N8	VDD_SNVS_IN	GPIO	—	GPIO5_IO08/SNVS_TAMPER8 ¹	Input	Keeper/Floating ^{1, 2}
SNVS_TAMPER9	P9	VDD_SNVS_IN	GPIO	—	GPIO5_IO09/SNVS_TAMPER9 ¹	Input	Keeper/Floating ^{1, 2}
TEST_MODE	N7	VDD_SNVS_IN	GPIO	ALT0	TEST_MODE	Input	Keeper
UART1_CTS_B	L14	NVCC_UART	GPIO	ALT5	UART1_CTS_B	Input	Keeper
UART1_RTS_B	K14	NVCC_UART	GPIO	ALT5	UART1_RTS_B	Input	Keeper
UART1_RX_DATA	L17	NVCC_UART	GPIO	ALT5	UART1_RX_DATA	Input	Keeper
UART1_TX_DATA	L15	NVCC_UART	GPIO	ALT5	UART1_TX_DATA	Input	Keeper

表 95. 9x9 mm 功能引脚分配 (续)

UART2_CTS_B	J17	NVCC_UART	GPIO	ALT5	UART2_CTS_B	Input	Keeper
UART2_RTS_B	J14	NVCC_UART	GPIO	ALT5	UART2_RTS_B	Input	Keeper
UART2_RX_DATA	K16	NVCC_UART	GPIO	ALT5	UART2_RX_DATA	Input	Keeper
UART2_TX_DATA	L16	NVCC_UART	GPIO	ALT5	UART2_TX_DATA	Input	Keeper
UART3_CTS_B	H16	NVCC_UART	GPIO	ALT5	UART3_CTS_B	Input	Keeper
UART3_RTS_B	H15	NVCC_UART	GPIO	ALT5	UART3_RTS_B	Input	Keeper
UART3_RX_DATA	K15	NVCC_UART	GPIO	ALT5	UART3_RX_DATA	Input	Keeper
UART3_TX_DATA	K17	NVCC_UART	GPIO	ALT5	UART3_TX_DATA	Input	Keeper
UART4_RX_DATA	H17	NVCC_UART	GPIO	ALT5	UART4_RX_DATA	Input	Keeper
UART4_TX_DATA	J16	NVCC_UART	GPIO	ALT5	UART4_TX_DATA	Input	Keeper
UART5_RX_DATA	J13	NVCC_UART	GPIO	ALT5	UART5_RX_DATA	Input	Keeper
UART5_TX_DATA	K13	NVCC_UART	GPIO	ALT5	UART5_TX_DATA	Input	Keeper
USB_OTG1CHD_B	T15	OPEN DRAIN	GPIO	—	USB_OTG1_CHD_B	—	—
USB_OTG1_DN	R11	VDD_USB_CAP	ANALOG	—	USB_OTG1_DN	—	—
USB_OTG1_DP	P11	VDD_USB_CAP	ANALOG	—	USB_OTG1_DP	—	—
USB_OTG1_VBUS	T9	USB_VBUS	VBUS POWER	—	USB_OTG1_VBUS	—	—
USB_OTG2_DN	T10	VDD_USB_CAP	ANALOG	—	USB_OTG2_DN	—	—
USB_OTG2_DP	U10	VDD_USB_CAP	ANALOG	—	USB_OTG2_DP	—	—
USB_OTG2_VBUS	U9	USB_VBUS	VBUS POWER	—	USB_OTG2_VBUS	—	—
XTALI	T14	NVCC_PLL	ANALOG	—	XTALI	—	—
XTALO	U14	NVCC_PLL	ANALOG	—	XTALO	—	—

¹ SNVS_TAMPER0 至 SNVS_TAMPER9 可配置为 GPIO 或 Tamper 检测功能引脚，具体取决于熔丝配置位 TAMPER_PIN_DISABLE[1:0] 的设定。如果相关引脚配置为 GPIO，则此值设定为复位后启用保持器。

² SNVS_TAMPER0 至 SNVS_TAMPER9 在下列情形下设定为三态输入：

- 配置为 GPIO 输入引脚，且处于 SNVS 低功耗模式
- 配置为 Tamper 检测引脚，但未启用 Tamper 检测功能

在以上两种情形下，需要在相应引脚外部连接 1M Ω 上拉或下拉电阻，以避免意外的电源泄漏。

6.2.3 9x9 mm, 0.5 mm 间距, 焊球分布

表 96 为 i.MX 6UltraLite 9x9 mm、0.5 mm 间距 BGA 封装的焊球分布列表。

表 96. 9x9 mm, 0.5 mm 间距, 焊球分布

G	F	E	D	C	B	A	
DRAM_ADDR00	VSS	DRAM_ODT1	CSI_DATA03	CSI_MCLK	VSS		1
DRAM_ADDR01	DRAM_RESET	DRAM_ADDR15	CSI_HSYNC	CSI_DATA07	CSI_DATA02	VSS	2
DRAM_SDBA2	VSS	DRAM_ADDR14	CSI_VSYNC	CSI_DATA00	CSI_DATA05	CSI_DATA06	3
DRAM_CAS_B	DRAM_SDWE_B	DRAM_ADDR06	CSI_DATA01	CSI_DATA04	SD1_DATA3	SD1_DATA1	4
NVCC_DRAM	DRAM_SDBA1	NVCC_CSI	CSI_PIXCLK	SD1_CLK	SD1_DATA2	SD1_DATA0	5
		NAND_DQS	NAND_WP_B	SD1_CMD	NAND_CE1_B	NAND_DATA05	6
VDD_SOC_CAP		NVCC_SD1	NAND_DATA00	NAND_DATA03	NAND_CLE	VSS	7
VDD_SOC_CAP	VSS	NAND_CE0_B	NAND_ALE	NAND_DATA04	NAND_DATA07	NAND_WEB	8
VDD_ARM_CAP		NAND_READY_B	NAND_RE_B	NAND_DATA02	NAND_DATA06	NAND_DATA01	9
VDD_ARM_CAP	VSS	LCD_RESET	LCD_DATA02	LCD_VSYNC	LCD_HSYNC	LCD_ENABLE	10
VDD_ARM_CAP		NVCC_NAND	LCD_DATA00	LCD_CLK	LCD_DATA03	LCD_DATA04	11
		LCD_DATA19	LCD_DATA05	LCD_DATA07	LCD_DATA01	VSS	12
NVCC_ENET	ENET1_TX_DATA1	NVCC_LCD	LCD_DATA06	LCD_DATA11	LCD_DATA08	LCD_DATA09	13
ENET1_RX_ER	ENET2_TX_DATA1	ENET2_TX_DATA0	LCD_DATA10	LCD_DATA12	LCD_DATA14	LCD_DATA13	14
ENET1_TX_CLK	ENET1_TX_EN	ENET2_TX_EN	LCD_DATA17	VSS	LCD_DATA18	LCD_DATA16	15
ENET1_RX_EN	ENET1_RX_DATA1	ENET1_TX_DATA0	ENET2_RX_EN	LCD_DATA21	LCD_DATA22	LCD_DATA15	16
ENET1_RX_DATA0	VSS	ENET2_RX_DATA0	ENET2_RX_DATA1	LCD_DATA23	LCD_DATA20	VSS	17
G	F	E	D	C	B	A	

表 96. 9x9 mm, 0.5 mm 间距, 焊球分布 (续)

P	N	M	L	K	J	H
DRAM_DATA08	DRAM_DATA14	VSS	DRAM_CS0_B	DRAM_SDCKE1	DRAM_ADDR09	DRAM_ADDR02
DRAM_DATA15	DRAM_DATA13	DRAM_ADDR10	DRAM_SDCKE0	DRAM_ODT0	DRAM_ADDR03	DRAM_ADDR05
DRAM_DATA10	DRAM_SDQS1_P	VSS	DRAM_ADDR12	DRAM_SDCLK0_P	VSS	DRAM_SDBA0
DRAM_DATA12	DRAM_SDQS1_N	DRAM_ADDR04	DRAM_RAS_B	DRAM_SDCLK0_N	DRAM_ADDR07	DRAM_ADDR13
DRAM_SDQS0_P	DRAM_DATA01	NVCC_DRAM	NVCC_DRAM	DRAM_ADDR11	DRAM_ADDR08	DRAM_CSI_B
SNVS_TAMPER1	NVCC_DRAM			NVCC_DRAM_2P5		VSS
SNVS_TAMPER4	TEST_MODE		VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP
SNVS_TAMPER5	SNVS_TAMPER8	VSS	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP	VDD_SOC_CAP
SNVS_TAMPER9	SNVS_TAMPER7		VDD_SOC_IN	VDD_SOC_IN	VDD_SOC_IN	VDD_ARM_CAP
SNVS_TAMPER3	SNVS_DAMPER2	NGND_KEL0	VDD_SOC_IN	VDD_SOC_IN	VDD_SOC_IN	VDD_ARM_CAP
USB_OTG1_DP	VDD_USB_CAP		VDD_SOC_IN	VDD_SOC_IN	VDD_SOC_IN	VDD_ARM_CAP
VDD_SNVS_IN	VDD_SNVS_CAP			VSS		VSS
JTAG_TRST_B	ADC_VREFH	NVCC_GPIO	NVCC_UART	UART5_TX_DATA	UART5_RX_DATA	ENET2_RX_ER
GPIO1_IO08	GPIO1_IO07	GPIO1_IO00	UART1_CTS_B	UART1_RTS_B	UART2_RTS_B	ENET2_TX_CLK
GPIO1_IO05	GPIO1_IO06	GPIO1_IO01	UART1_TX_DATA	UART3_RX_DATA	VSS	UART3_RTS_B
GPIO1_IO09	GPIO1_IO03	GPIO1_IO02	UART2_TX-DATA	UART2_RX_DATA	UART4_TX_DATA	UART3_CTS_B
JTAG_TDI	GPIO1_IO04	VSS	UART1_RX_DATA	UART3_TX_DATA	UART2_CTS_B	UART4_RX_DATA
P	N	M	L	K	J	H

表 96. 9x9 mm, 0.5 mm 间距, 焊球分布 (续)

	U	T	R
1	VSS	DRAM_VREF	DRAM_DM1
2	DRAM_DATA09	DRAM_ZQPAD	DRAM_DATA11
3	DRAM_DATA07	DRAM_DATA00	VSS
4	DRAM_DQM0	DRAM_DATA02	DRAM_DATA06
5	DRAM_DATA04	DRAM_DATA03	DRAM_SDQS0_N
6	VSS	DRAM_DATA05	ONOFF
7	CCM_PMIC_STBY_REQ	SNVS_PMIC_ON_REQ	SNVS_TAMPER6
8	BOOT_MODE1	BOOT_MODE0	SNVS_TAMPER0
9	USB_OTG2_VBUS	USB_OTG1_VBUS	VSS
10	USB_OTG2_DP	USB_OTG2_DN	POR_B
11	VDD_HIGH_CAP	GPANAIO	USB_OTG1_DN
12	RTC_XTALO	RTC_XTALI	VSS
13	VSS	NVCC_PLL	JTAG_MOD
14	XTALO	XTALI	JTAG_TMS
15	VDD_HIGH_IN	USB_OTG1CHD_B	VSS
16	CCM_CLK11	CCM_CLK1_P	JTAG_TDO
17	VSS	VDDA_ADC_3P3	JTAG_TCK
	U	T	R

7 修订历史记录

表 97 提供了此数据手册的修订历史记录。

表 97. i.MX 6UltraLite 数据手册文档修订历史记录

Rev. 编号	日期	重大变更
0	08/2015	· 初始发布
0.1	02/2016	· 更新了表 1 “订购信息” · 新增了表 2 “详细的外设信息”

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和 / 或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：

freescale.com/SalesTermsandConditions.

Freescale and the Freescale logo are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners.

© 2015-2016 Freescale Semiconductor, Inc.

© 2015-2016 飞思卡尔半导体有限公司

Document Number: IMX6ULCEC
中文版 0.1, 08/2015

