

MKE06P80M48SF0

KE06 子系列数据手册

支持以下产品: MKE06Z64VLD4(R)、
MKE06Z128VLD4(R)、
MKE06Z64VQH4(R)、
MKE06Z128VQH4(R)、
MKE06Z64VLH4(R)、
MKE06Z128VLH4(R)、
MKE06Z64VLK4(R)和
MKE06Z128VLK4(R)

主要功能

- 工作范围
 - 电压范围: 2.7 至 5.5 V
 - Flash 编程电压范围: 2.7 至 5.5 V
 - 温度范围 (环境): -40 至 105°C
- 性能
 - 最高 48 MHz 的 ARM® Cortex-M0+内核
 - 单周期 32 位 x 32 位乘法器
 - 单周期 I/O 访问端口
- 存储器和存储器接口
 - 最高 128 KB 的 Flash
 - 最高 16 KB 的 RAM
- 时钟
 - 振荡器(OSC) - 支持 32.768 kHz 晶振或 4 MHz 至 24 MHz 晶振或陶瓷谐振器; 可选择低功耗或高增益振荡器
 - 内部时钟源(ICS) - 内部 FLL, 集成内部或外部基准时钟源、37.5 kHz 预校准内部基准时钟源, 可用于 48 MHz 系统时钟
 - 内部 1 kHz 低功耗振荡器(LPO)
- 系统外设
 - 电源管理模块(PMC)有三个功率模式: 运行、待机和停止
 - 可复位、中断并带可选跳变点的低压检测(LVD)
 - 带独立时钟源的看门狗(WDOG)
 - 可配置循环冗余校验(CRC)模块
 - 串行线调试(SWD)接口
 - SRAM 位操作映射区域(BIT-BAND)
 - 位处理引擎(BME)
- 安全性和完整性模块
 - 每个芯片拥有 80 位唯一标识(ID)号
- 人机接口
 - 最多 71 个通用输入/输出(GPIO)
 - 两个 32 位键盘中断(KBI)模块
 - 外部中断(IRQ)模块
- 模拟模块
 - 一个 16 通道, 12 位 SAR ADC, 可工作在停止模式, 可选硬件触发源(ADC)
 - 两个包含 6 位 DAC 和可配置参考输入的模拟比较器(ACMP)
- 定时器
 - 一个 6 通道 FlexTimer/PWM (FTM)
 - 两个 2 通道 FlexTimer/PWM (FTM)
 - 一个 2 通道周期性中断定时器(PIT)
 - 一个脉宽计数器(PWT)
 - 一个实时时钟(RTC)
- 通信接口
 - 两个 SPI 模块(SPI)
 - 三个 UART 模块(UART)
 - 两个 I2C 模块(I2C)
 - 一个 MSCAN 模块(MSCAN)
- 封装选项
 - 80 引脚 LQFP
 - 64 引脚 QFP/LQFP
 - 44 引脚 LQFP

目录

1 订购器件.....	3	5.2.2 FTM 模块时序.....	16
1.1 确定有效的可订购器件.....	3	5.3 热规格.....	17
2 器件标识.....	3	5.3.1 热特性.....	17
2.1 说明.....	3	6 模块工作要求和行为.....	18
2.2 格式.....	3	6.1 内核模块.....	18
2.3 字段.....	3	6.1.1 SWD 电气规格	18
2.4 示例.....	4	6.2 外部振荡器(OSC)和 ICS 特性.....	19
3 参数分类.....	4	6.3 NVM 规格.....	21
4 额定值.....	4	6.4 模拟.....	22
4.1 热学操作极限.....	4	6.4.1 ADC 特性.....	22
4.2 湿度操作极限.....	5	6.4.2 模拟比较器(ACMP)电气规格.....	24
4.3 ESD 操作额定值.....	5	6.5 通信接口.....	25
4.4 电压和电流操作额定值.....	5	6.5.1 SPI 开关规格.....	25
5 通用.....	6	6.5.2 MSCAN.....	28
5.1 静态电气规格.....	6	7 尺寸.....	28
5.1.1 DC 特性.....	6	7.1 获取封装尺寸.....	28
5.1.2 电源电流特性.....	12	8 引脚分配.....	29
5.1.3 EMC 性能.....	14	8.1 信号多路复用和引脚分配.....	29
5.2 动态规格.....	15	8.2 器件引脚分配.....	31
5.2.1 控制时序.....	15	9 修订记录.....	34

1 订购器件

1.1 确定有效的可订购器件

有效可订购器件编号已发布在网络上。如要确定该可订购器件编号，敬请前往 freescale.com，并搜索下列器件编号：KE06Z。

2 器件标识

2.1 说明

芯片器件型号包含可识别具体器件的字段。您可以使用这些字段的值来区分收到的具体器件。

2.2 格式

此设备的器件编号采用如下格式：

Q KE## A FFF R T PP CC N

2.3 字段

下表列出部件编号中每一字段的可能值（并非所有组合都有效）：

字段	说明	值
Q	合格状态	- M = 完全合格，一般市场流动 - P = 资格预审
KE##	Kinetis 系列	KE06
A	主要属性	Z = M0+内核
FFF	程序存储器大小	128 = 128 KB
R	芯片版本	(空白) = 主版本 - A = 主版本后的修订版本
T	温度范围 (°C)	V = -40 至 105
PP	封装标识符	- LD = 44 LQFP (10 mm x 10 mm) - QH = 64 QFP (14 mm x 14 mm) - LH = 64 LQFP (10 mm x 10 mm) - LK = 80 LQFP (14 mm x 14 mm)

下一页继续介绍此表...

字段	说明	值
CC	最大 CPU 频率 (MHz)	4 = 48 MHz
N	封装类型	- R = 卷式 (空白) = 盘式

2.4 示例

下面是器件编号示例：

MKE06Z128VLK4

3 参数分类

此附录中显示的电气参数通过不同的方法来保证达到要求。为了便于客户能更好地理解，文档将使用以下分类，并在表中适当的位置相应标记参数：

表 1. 参数分类

P	在对每个设备进行生产测试时确保达到这些参数要求。
C	通过不同制程的，具有统计意义的相关样本数量的测量结果来保证这些参数要求。
T	除非另有说明，否则通过统计典型条件下典型器件的小规模样本测量值来保证这些参数要求。此类别包含典型列中所示的所有值。
D	这些参数主要来自于仿真。

注

此分类显示在参数表适当位置处标记为“C”的列中。

4 额定值

4.1 热学操作极限

符号	说明	最小值	最大值	单位	附注
T _{STG}	存储温度	-55	150	°C	1
T _{SDR}	焊接温度，无铅	—	260	°C	2

- 根据 JEDEC 的 JESD22-A103 标准中的“高温存储寿命”确定。
- 根据 IPC/JEDEC 标准 J-STD-020 中的“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

4.2 湿度操作极限

符号	说明	最小值	最大值	单位	附注
MSL	湿度灵敏度级别	—	3	—	1

- 根据 IPC/JEDEC 标准 J-STD-020 中的“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

4.3 ESD 操作额定值

符号	说明	最小值	最大值	单位	附注
V_{HBM}	静电放电电压, 人体放电模式	-6000	+6000	V	1
V_{CDM}	静电放电电压, 设备充电模式	-500	+500	V	2
I_{LAT}	125°C 环境温度下的门锁电流	-100	+100	mA	3

- 根据 JEDEC 标准 JESD22-A114“静电放电(ESD)灵敏度测试人体放电模式(HBM)标准”来确定。
- 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
- 根据 JEDEC 标准 JESD78D“IC 门锁测试”确定。
 - 在 125 °C 环境温度下进行测试 (II 类)。
 - I/O 引脚通过±100 mA 电流测试, I_{DD} 电流限制为 400 mA。
 - I/O 引脚通过+50/-100 mA 电流测试, I_{DD} 电流限制为 1000 mA。
 - 电源组通过 1.5 V_{CCmax} 。
 - 由于产品调节要求, RESET 引脚仅经过负电流测试。

4.4 电压和电流操作额定值

绝对最大额定值仅为应力额定值, 并不保证最大值时的功能操作。超过下表中指定的应力可能影响器件的可靠性或对器件造成永久性损坏。有关功能操作条件的更多信息, 请参阅此文档中的其他表格。

该器件包含防止高静态电压或电场造成损坏的电路, 但建议采取预防措施, 以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未用输入引脚连接到适当的逻辑电压电平 (例如, V_{SS} 或 V_{DD}) 或使能相关引脚的内部上拉电阻, 可增强操作的可靠性。

表 2. 电压和电流操作额定值

符号	说明	最小值	最大值	单位
V_{DD}	数字电源电压	-0.3	6.0	V
I_{DD}	流入 V_{DD} 的最大电流	—	120	mA
V_{IN}	除开漏引脚之外的输入电压	-0.3	$V_{DD} + 0.3^1$	V
	开漏引脚的输入电压	-0.3	6	V

下一页继续介绍此表...

表 2. 电压和电流操作额定值 (继续)

符号	说明	最小值	最大值	单位
I_D	单引脚瞬态最大电流限值 (适用于所有端口引脚)	-25	25	mA
V_{DDA}	模拟电源电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V

1. 最大额定 V_{DD} 也适用于 V_{IN} 。

5 通用

5.1 静态电气规格

5.1.1 DC 特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 3. DC 特性

符号	C	说明			最小值	典型值 ¹	最大值	单位
—	—	工作电压		—	2.7	—	5.5	V
V _{OH}	P	输出高电压	除 PTA2 和 PTA3 外所有 I/O 引脚，标准驱动强度	5 V，I _{load} = −5 mA	V _{DD} − 0.8	—	—	PTB5V
	C			3 V，I _{load} = −2.5 mA	V _{DD} − 0.8	—	—	V
	P		大电流驱动引脚，高驱动强度 ²	5 V，I _{load} = −20 mA	V _{DD} − 0.8	—	—	V
	C			3 V，I _{load} = −10 mA	V _{DD} − 0.8	—	—	V
I _{OHT}	D	输出高电流	所有端口的最大总输出高电流 I _{OH}	5 V	—	—	−100	mA
				3 V	—	—	−60	
V _{OL}	P	输出低电压	所有 I/O 引脚，标准驱动强度	5 V，I _{load} = 5 mA	—	—	0.8	V
	C			3 V，I _{load} = 2.5 mA	—	—	0.8	V
	P		大电流驱动引脚，高驱动强度 ²	5 V，I _{load} =20 mA	—	—	0.8	V
	C			3 V，I _{load} = 10 mA	—	—	0.8	V
I _{OLT}	D	输出低电流	所有端口的最大总输出低电流 I _{OL}	5 V	—	—	100	mA
				3 V	—	—	60	
V _{IH}	P	输入高电压	全部数字输入	4.5≤V _{DD} <5.5 V	0.65 × V _{DD}	—	—	V
				2.7≤V _{DD} <4.5 V	0.70 × V _{DD}	—	—	
V _{IL}	P	输入低电压	全部数字输入	4.5≤V _{DD} <5.5 V	—	—	0.35 × V _{DD}	V
				2.7≤V _{DD} <4.5 V	—	—	0.30 × V _{DD}	
V _{hys}	C	输入迟滞	全部数字输入	—	0.06 × V _{DD}	—	—	mV
I _{in}	P	输入漏电流	每个引脚（高阻抗输入模式下的引脚）	V _{IN} = V _{DD} 或 V _{SS}	—	0.1	1	μA

下一页继续介绍此表...

表 3. DC 特性 (继续)

符号	C	说明			最小值	典型值 ¹	最大值	单位
I _{INTOT}	C	所有端口引脚的总漏电流	高阻抗输入模式下的引脚	V _{IN} = V _{DD} 或 V _{SS}	—	—	2	μA
R _{PU}	P	上拉电阻	所有数字输入并使能内部上拉（除 PTA2 和 PTA3 外的所有 I/O 引脚）	—	30.0	—	50.0	kΩ
R _{PU} ³	P	上拉电阻	PTA2 引脚和 PTA3 引脚	—	30.0	—	60.0	kΩ
I _{IC}	D	DC 注入电流 ^{4, 5, 6}	单引脚限值	V _{IN} < V _{SS} , V _{IN} > V _{DD}	-2	—	2	mA
			总 MCU 限值，包括所有应力引脚的总和		-5	—	25	
C _{In}	C	输入电容，所有引脚			—	—	7	pF
V _{RAM}	C	RAM 保留电压			—	2.0	—	V

- 典型值在 25°C 时测得。经过 CZ, 没有经过测试。
- 仅 PTB4、PTB5、PTD0、PTE0、PTE1、PTH0 (仅 64 引脚封装和 80 引脚封装) 以及 PTH1 (仅 64 引脚封装和 80 引脚封装) 支持大电流输出。
- 所指电阻值是该器件的内部实际值。在引脚外部测量时, 上拉值可能更高。
- 除 PTA2 和 PTA3 外所有非电源功能引脚在内部钳制到 V_{SS} 和 V_{DD} 之间。PTA2 和 PTA3 是在内部将电压钳位为 V_{SS} 的有效开漏 I/O 引脚。
- 当前输入必须限定为指定的电流值。要确定所需限流电阻器的值, 请计算正负钳位电压的电阻值, 然后采用最大值。
- 在瞬态和最大工作电流条件下, 电源必须保持在工作 V_{DD} 范围内进行调节的能力。如果正注入电流 ($V_{IN} > V_{DD}$) 高于 I_{DD} , 则注入电流可能流出 V_{DD} , 并导致外部电源失调。MCU 不消耗电能时, 如没有系统时钟, 或时钟频率极低 (这将降低整体电量消耗), 就要确保外部 V_{DD} 负载的分流电流高于最大注入电流。

表 4. LVD 和 POR 规格

符号	C	说明		最小值	典型值	最大值	单位
V_{POR}	D	POR 重置电压 ¹		1.5	1.75	2.0	V
V_{LVDH}	C	下降沿低压检测阈值 — 高量程 (LVDV = 0) ²		4.2	4.3	4.4	V
V_{LVW1H}	C	下降沿低压警告阈值 — 高量程	1 级下降沿 (LVWV = 00)	4.3	4.4	4.5	V
V_{LVW2H}	C		2 级下降沿 (LVWV = 01)	4.5	4.5	4.6	V
V_{LVW3H}	C		3 级下降沿 (LVWV = 10)	4.6	4.6	4.7	V
V_{LVW4H}	C		4 级下降沿 (LVWV = 11)	4.7	4.7	4.8	V
V_{HYSH}	C	高量程低压检测/警告迟滞		—	100	—	mV
V_{LVDL}	C	下降沿低压阈值 — 低量程 (LVDV = 0)		2.56	2.61	2.66	V
V_{LVW1L}	C	下降沿低电压警告阈值 — 低量程	1 级下降沿 (LVWV = 00)	2.62	2.7	2.78	V
V_{LVW2L}	C		2 级下降沿 (LVWV = 01)	2.72	2.8	2.88	V

下一页继续介绍此表...

表 4. LVD 和 POR 规格 (继续)

符号	C	说明		最小值	典型值	最大值	单位
V_{LVW3L}	C		3 级下降沿 (LVWV=10)	2.82	2.9	2.98	V
V_{LVW4L}	C		4 级下降沿 (LVWV=11)	2.92	3.0	3.08	V
V_{HYSDL}	C	低量程低压检测迟滞		—	40	—	mV
V_{HYSWL}	C	低量程低压警告迟滞		—	80	—	mV
V_{BG}	P	经过缓冲的带隙输出 ³		1.14	1.16	1.18	V

1. 最大值是 POR 可以保证的最高电压值。
2. 上升沿阈值 = 下降沿阈值 + 迟滞电压
3. 电压已在 $V_{DD} = 5.0\text{ V}$, $\text{Temp} = 25\text{ }^{\circ}\text{C}$ 下进行出厂调整

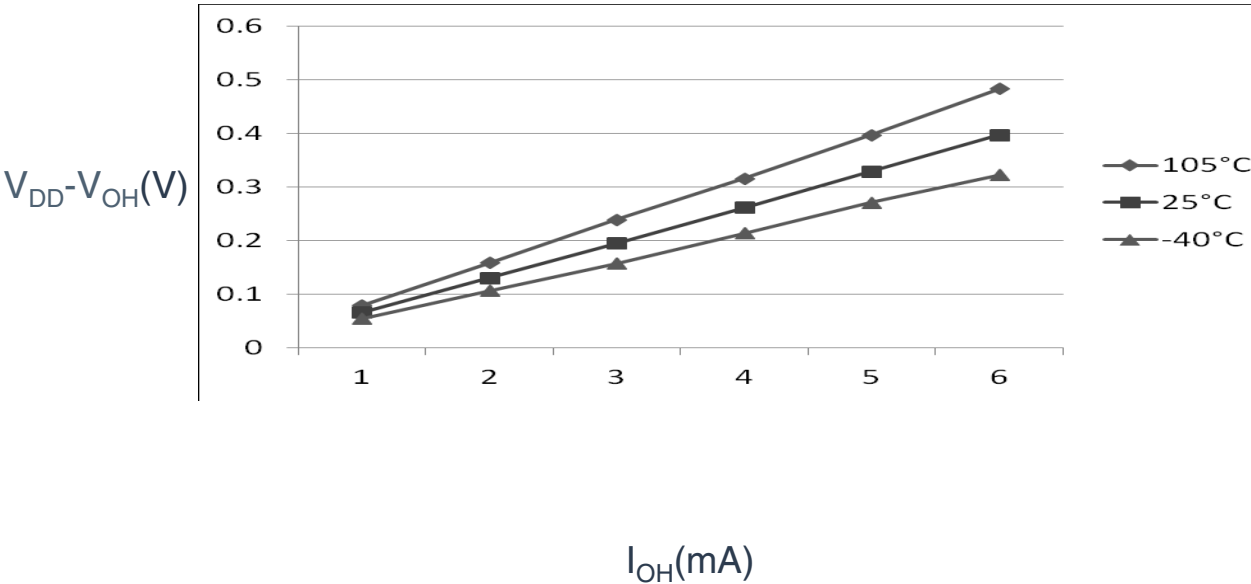


图 1. 典型 $V_{DD} - V_{OH}$ 对比 I_{OH} (标准驱动强度) ($V_{DD} = 5\text{ V}$)

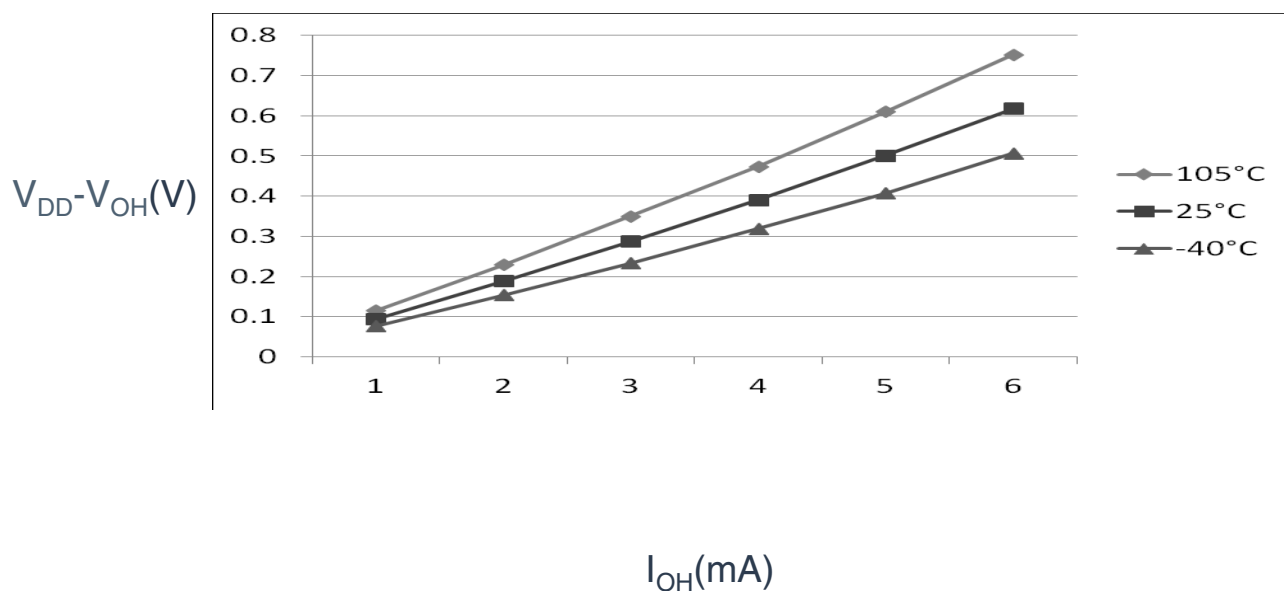


图 2. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (标准驱动强度) ($V_{DD} = 5\text{ V}$)

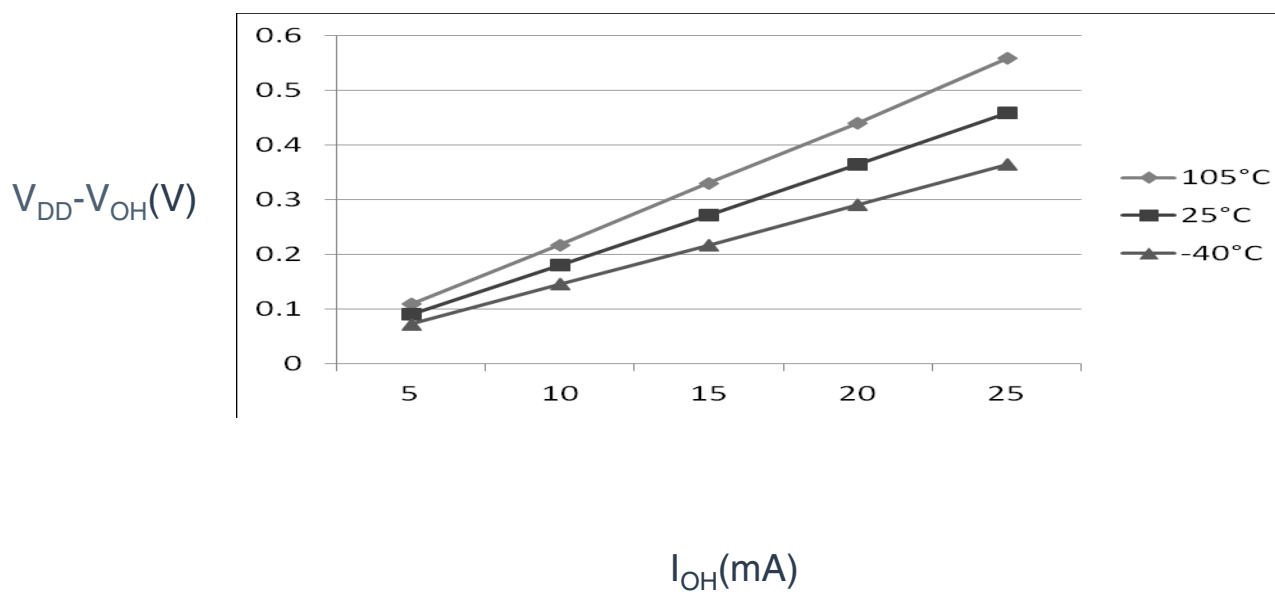


图 3. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (高驱动强度) ($V_{DD} = 5\text{ V}$)

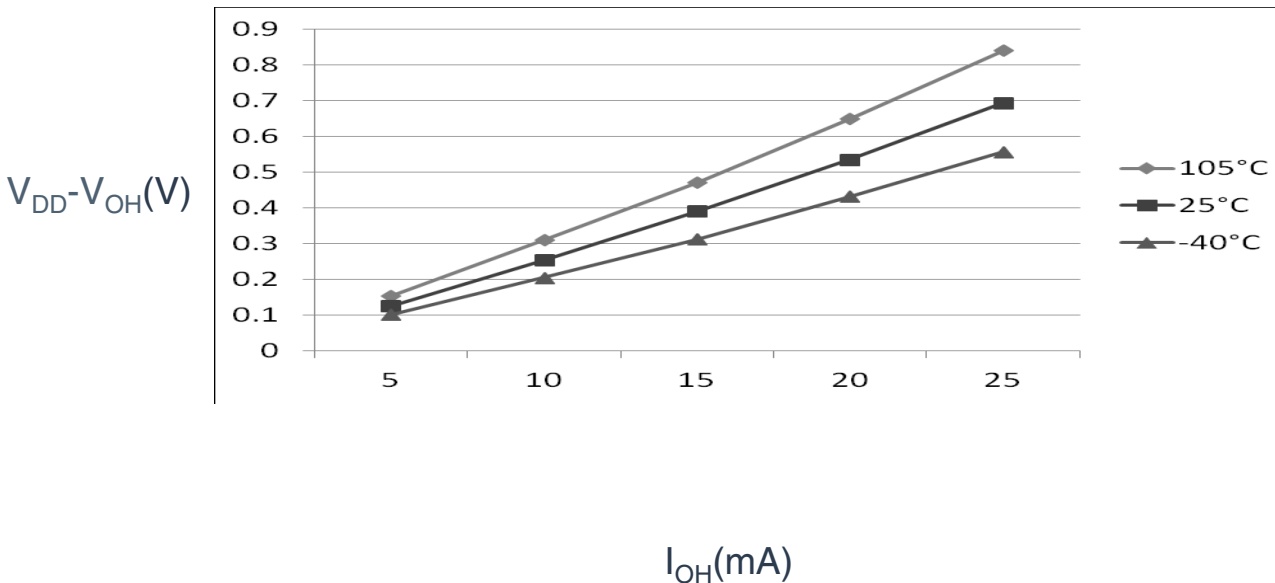


图 4. 典型 $V_{DD}-V_{OH}$ 对比 I_{OH} (高驱动强度) ($V_{DD} = 3\text{ V}$)

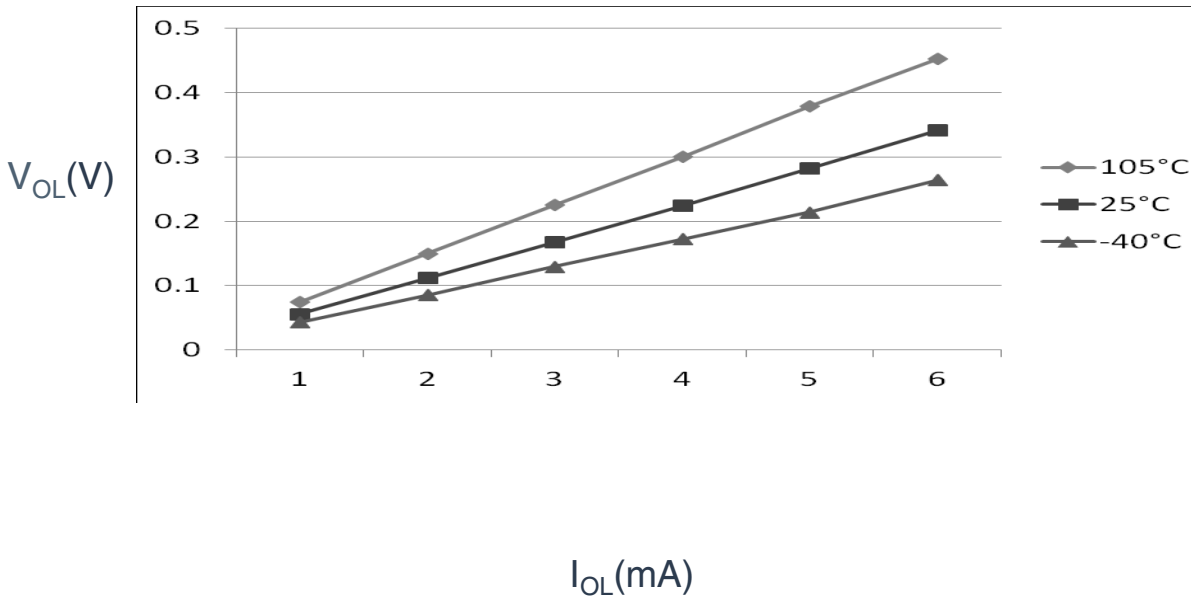


图 5. 典型 V_{OL} 对比 I_{OL} (标准驱动强度) ($V_{DD} = 5\text{ V}$)

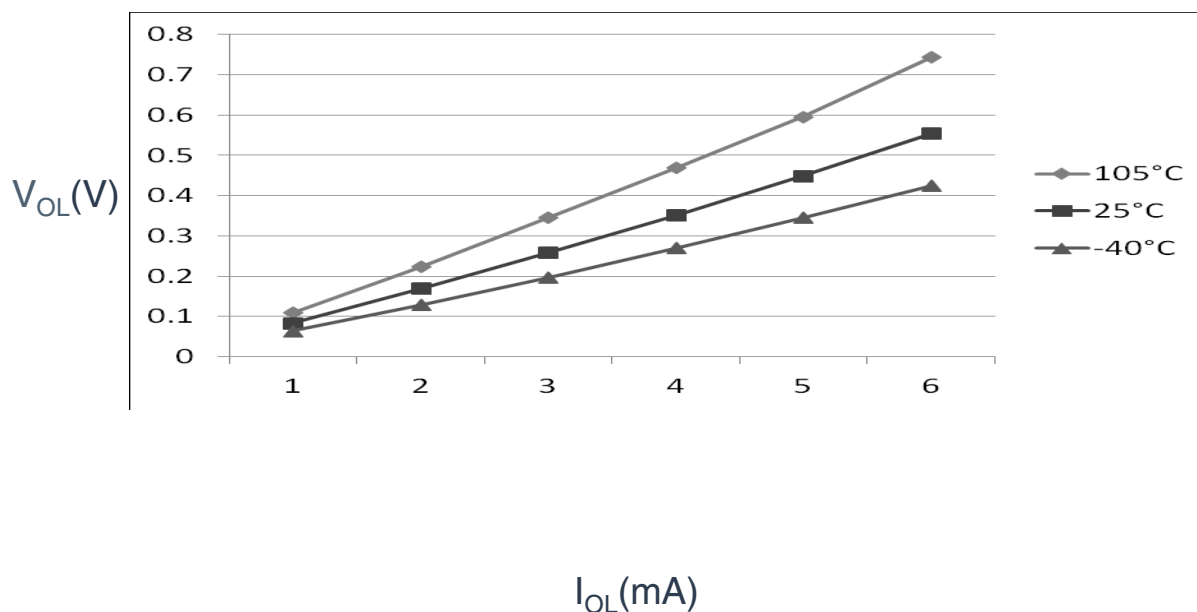


图 6. 典型 V_{OL} 对比 I_{OL} (标准驱动强度) ($V_{DD} = 3\text{ V}$)

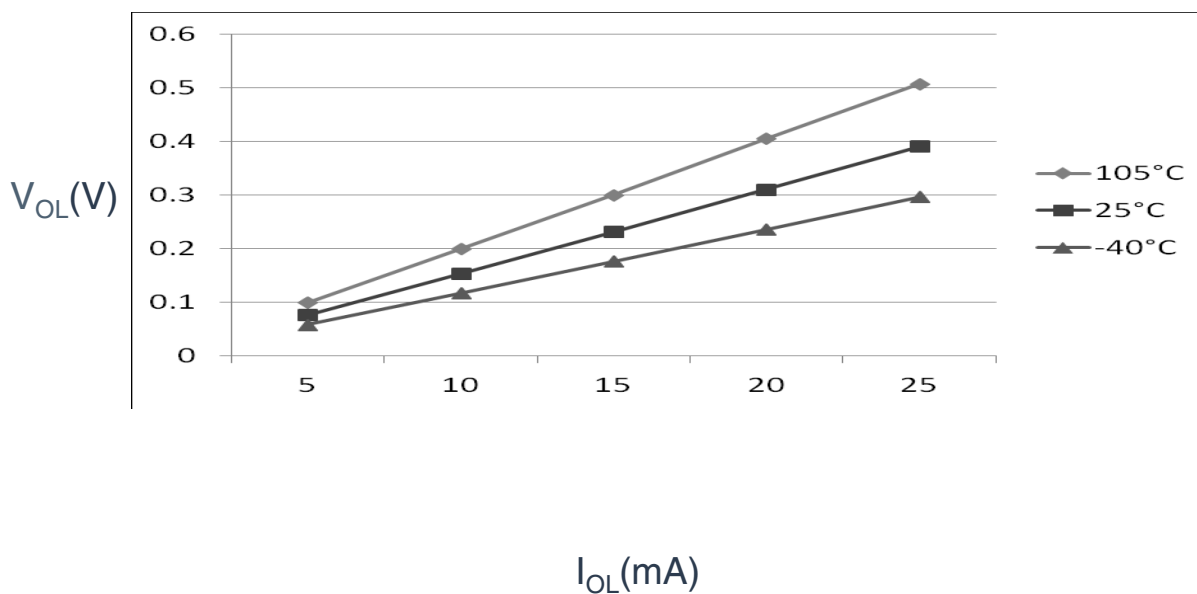


图 7. 典型 V_{OL} 对比 I_{OL} (高驱动强度) ($V_{DD} = 5\text{ V}$)

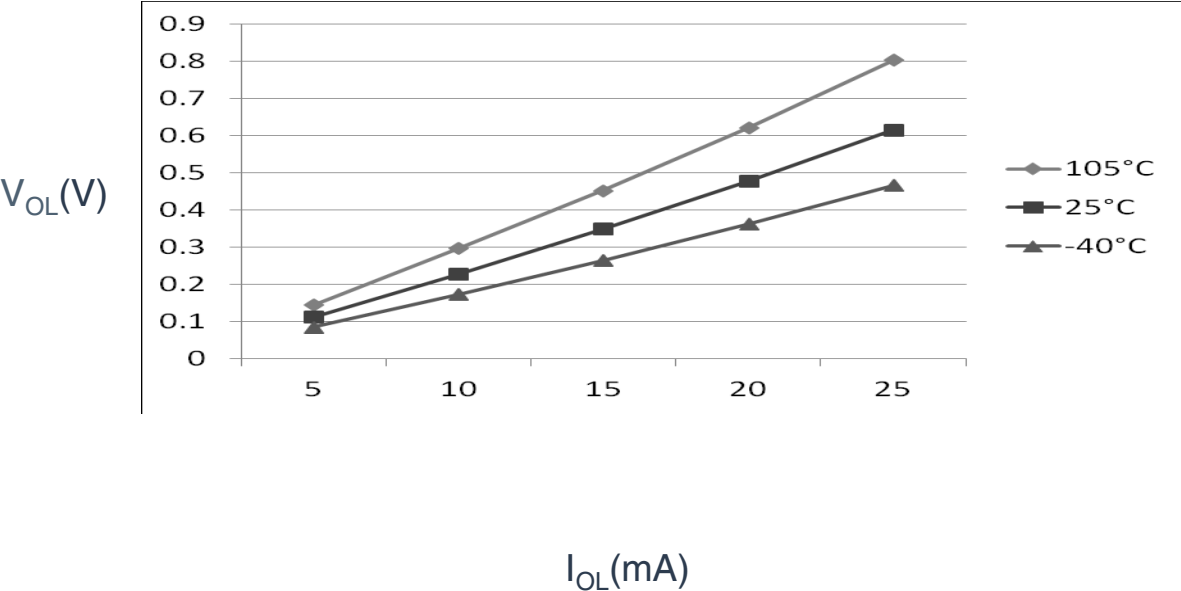


图 8. 典型 V_{OL} 对比 I_{OL} （高驱动强度）($V_{DD} = 3\text{ V}$)

5.1.2 电源电流特性

本节包括多种操作模式下电源电流的信息。

表 5. 供电电流特性

C	参数	符号	内核/总线频率	V_{DD} (V)	典型值 ¹	最大值 ²	单位	温度
C	FEI 模式下运行电流值, 使能所有模块时钟; 从 Flash 运行	R_{IDD}	48/24 MHz	5	11.1	—	mA	-40 至 105 °C
C			24/24 MHz		8	—		
C			12/12 MHz		5	—		
C			1/1 MHz		2.4	—		
C			48/24 MHz	3	11	—		
C			24/24 MHz		7.9	—		
C			12/12 MHz		4.9	—		
C			1/1 MHz		2.3	—		
C	FEI 模式下运行电流值, 禁用并门控所有模块时钟; 从 Flash 运行	R_{IDD}	48/24 MHz	5	7.8	—	mA	-40 至 105 °C
C			24/24 MHz		5.5	—		
C			12/12 MHz		3.8	—		
C			1/1 MHz		2.3	—		
C			48/24 MHz	3	7.7	—		

下一页继续介绍此表...

表 5. 供电电流特性 (继续)

C	参数	符号	内核/总线频率	V _{DD} (V)	典型值 ¹	最大值 ²	单位	温度
C			24/24 MHz		5.4	—		
C			12/12 MHz		3.7	—		
C			1/1 MHz		2.2	—		
C	FBE 模式下运行电流值, 使能所有模块时钟; 从 RAM 运行	R _{IDD}	48/24 MHz	5	14.7	—	mA	-40 至 105 °C
P			24/24 MHz		9.8	14.9		
C			12/12 MHz		6	—		
C			1/1 MHz		2.4	—		
C			48/24 MHz	3	14.6	—		
P			24/24 MHz		9.6	12.8		
C			12/12 MHz		5.9	—		
C			1/1 MHz		2.3	—		
C	FBE 模式下运行电流值, 禁用并门控所有模块时钟; 从 RAM 运行	R _{IDD}	48/24 MHz	5	11.4	—	mA	-40 至 105 °C
P			24/24 MHz		7.7	12.5		
C			12/12 MHz		4.7	—		
C			1/1 MHz		2.3	—		
C			48/24 MHz	3	11.3	—		
P			24/24 MHz		7.6	9.5		
C			12/12 MHz		4.6	—		
C			1/1 MHz		2.2	—		
C	FEI 模式等待电流值, 使能所有模块时钟	W _{IDD}	48/24 MHz	5	8.4	—	mA	-40 至 105 °C
P			24/24 MHz		6.5	7.2		
C			12/12 MHz		4.3	—		
C			1/1 MHz		2.4	—		
C			48/24 MHz	3	8.3	—		
P			24/24 MHz		6.4	7		
C			12/12 MHz		4.2	—		
C			1/1 MHz		2.3	—		
P	停止模式电流, 无时钟激活 (除 1 kHz LPO 时钟) ³	S _{IDD}	—	5	2	105	μA	-40 至 105 °C
P			—	3	1.9	95		-40 至 105 °C
C	ADC 使能下的停止模式电流	—	—	5	86	—	μA	-40 至 105 °C
C	ADLPC = 1 ADLSMP = 1 ADCO = 1 MODE = 10B ADICLK = 11B	—	—	3	82	—		
C	ACMP 使能下的停止模式电流	—	—	5	12	—	μA	-40 至 105 °C
C				3	12	—		
C	LVD 使能下的停止模式电流 ⁴	—	—	5	130	—	μA	-40 至 105 °C

下一页继续介绍此表...

表 5. 供电电流特性 (继续)

C	参数	符号	内核/总线频率	V _{DD} (V)	典型值 ¹	最大值 ²	单位	温度
C				3	125	—		

1. 典型列里的数据在 5.0 V、25 °C 条件下统计值或是推荐值。
2. 在 105 °C 高温下可观察到最大电流。
3. 典型情况下，RTC 会导致 I_{DD} 增加不超过 1 μA；RTC 时钟源为 1 kHz LPO 时钟。
4. 以 5% 占空比定期将 LVD 从停止状态唤醒。周期等于或短于 2 ms。

5.1.3 EMC 性能

电磁兼容(EMC)性能很大程度上取决于 MCU 所处的环境。外部组件的电路板设计和布局、电路拓扑选择、位置和特性以及 MCU 软件操作在 EMC 性能中起重要作用。系统设计者必须参考下列飞思卡尔应用文档，可在下述网站：freescale.com 获得专门针对优化 EMC 性能的意见和指导。

- AN2321: Designing for Board Level Electromagnetic Compatibility
- AN1050: Designing for Electromagnetic Compatibility (EMC) with HCMOS Microcontrollers
- AN2764: Improving the Transient Immunity Performance of Microcontroller-Based Applications
- AN1263: Designing for Electromagnetic Compatibility with Single-Chip Microcontrollers
- AN2764: Improving the Transient Immunity Performance of Microcontroller-Based Applications
- AN1259: System Design and Layout Techniques for Noise Reduction in MCU-Based Systems

5.1.3.1 EMC 电磁辐射特性

表 6. 80 引脚 LQFP 封装的 EMC 电磁辐射特性

符号	说明	频带(MHz)	典型值	单位	附注
V _{RE1}	电磁辐射电压, 频带 1	0.15–50	6	dBμV	1, 2
V _{RE2}	电磁辐射电压, 频带 2	50–150	6	dBμV	
V _{RE3}	电磁辐射电压, 频带 3	150–500	11	dBμV	
V _{RE4}	电磁辐射电压, 频带 4	500–1000	5	dBμV	
V _{RE_IEC}	IEC 级别	0.15–1000	N ³	—	2, 4

1. 根据 IEC 标准 61967-1“集成电路 - 电磁辐射的测定, 150 kHz 到 1 GHz 第 1 部分：一般条件和定义”以及 IEC 标准 61967-2“集成电路 - 电磁辐射的测定, 150 kHz 到 1 GHz 第 2 部分：电磁辐射的测定 - TEM 传输室及宽带 TEM 传输室方法”确定。在测定时，微控制器运行基本应用代码。报告的辐射级别为测定的最大辐射值，从每个频率范围的测定方向，向上舍入到下一个整数。
2. V_{DD} = 5.0 V, T_A = 25 °C, f_{OSC} = 8 MHz (晶体), f_{SYS} = 40 MHz, f_{BUS} = 20 MHz
3. IEC/SAE 级别最大值：N≤12 dBμV, M≤18 dBμV, K≤30 dBμV, I≤36 dBμV, H≤42 dBμV。
4. 根据 IEC 标准 61967-2“电磁辐射的测定 - TEM 传输室及宽带 TEM 传输室方法”的附录 D 指定

5.2 动态规格

5.2.1 控制时序

表 7. 控制时序

编号	C	额定值	符号	最小值	典型值 ¹	最大值	单位
1	D	系统和内核时钟	f_{Sys}	DC	—	48	MHz
2	P	总线频率 ($t_{\text{cyc}} = 1/f_{\text{Bus}}$)	f_{Bus}	DC	—	24	MHz
3	P	内部低功耗振荡器频率	f_{LPO}	0.67	1.0	1.25	KHz
4	D	外部复位脉冲宽度 ²	t_{extrst}	$1.5 \times t_{\text{cyc}}$	—	—	ns
5	D	复位低驱动	t_{rstdrv}	$34 \times t_{\text{cyc}}$	—	—	ns
6	D	IRQ 脉冲宽度	异步路径 ²	t_{ILIH}	100	—	ns
	D		同步路径 ³	t_{IHIL}	$1.5 \times t_{\text{cyc}}$	—	ns
7	D	键盘中断脉冲宽度	异步路径 ²	t_{ILIH}	100	—	ns
	D		同步路径	t_{IHIL}	$1.5 \times t_{\text{cyc}}$	—	ns
8	C	端口上升和下降时间 — 标准驱动强度 (负载 = 50 pF) ⁴	—	t_{Rise}	—	10.2	ns
	C		—	t_{Fall}	—	9.5	ns
	C	端口上升和下降时间 — 高驱动强度 (负载 = 50 pF) ⁴	—	t_{Rise}	—	5.4	ns
	C		—	t_{Fall}	—	4.6	ns

1. 除非另有说明，否则典型值是指在 $V_{\text{DD}} = 5.0 \text{ V}$ 、 25°C 时的特性数据。
2. 这是保证可识别为 RESET 引脚请求的最短脉冲。
3. 这是保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别。在停止模式中将避开同步器，所以可识别更短的脉冲。
4. 时序按 20% 的 V_{DD} 电平和 80% 的 V_{DD} 电平显示。温度范围 -40°C 至 105°C 。

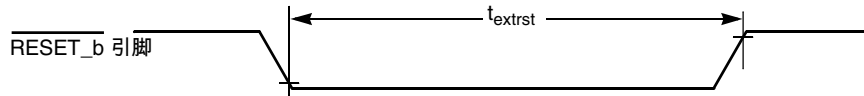


图 9. 复位时序

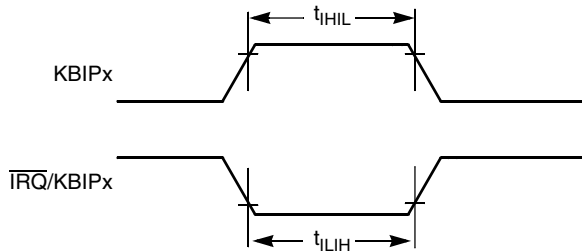


图 10. KBIPx 时序

5.2.2 FTM 模块时序

同步电路决定可识别的最短输入脉冲或决定定时器计数器可配置的外部时钟源的最快时钟。这些同步电路的工作时钟被称作总线时钟。

表 8. FTM 输入时序

C	功能	符号	最小值	最大值	单位
D	定时器时钟频率	f_{Timer}	f_{Bus}	f_{Sys}	Hz
D	外部时钟频率	f_{TCLK}	0	$f_{\text{Timer}}/4$	Hz
D	外部时钟周期	t_{TCLK}	4	—	t_{Timer}^1
D	外部时钟高电平时间	t_{clkh}	1.5	—	t_{Timer}^1
D	外部时钟低电平时间	t_{clkl}	1.5	—	t_{Timer}^1
D	输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{Timer}^1

1. $t_{\text{Timer}} = 1/f_{\text{Timer}}$

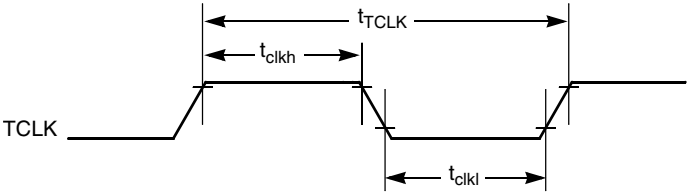


图 11. 定时器外部时钟

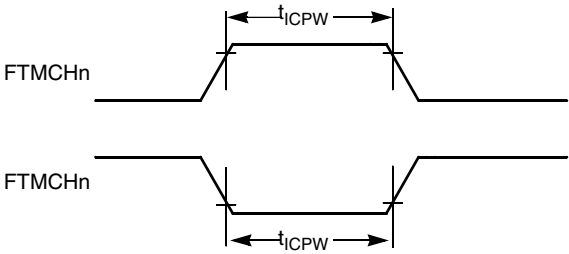


图 12. 定时器输入捕捉脉冲

5.3 热规格

5.3.1 热特性

本节介绍有关工作温度范围、功耗和封装热阻的信息。I/O 引脚上的功耗通常比片上逻辑和电压调节器电路中的功耗少，且它由用户决定而并非由 MCU 设计控制。要在功率计算中考虑 $P_{I/O}$ ，请确定实际引脚电压和 V_{SS} 或 V_{DD} 之间的电压差并乘以每个 I/O 引脚的引脚电流。除异常高引脚电流（高负载）外，引脚电压和 V_{SS} 或 V_{DD} 之间的压差将会很小。

表 9. 热学属性

电路板类型	符号	说明	64 LQFP	64 QFP	44 LQFP	80 LQFP	单位	附注
单层(1S)	$R_{\theta JA}$	热阻，结到外部环境（自然对流）	71	61	75	57	°C/W	1, 2
四层(2s2p)	$R_{\theta JA}$	热阻，结到外部环境（自然对流）	53	47	53	44	°C/W	1, 3
单层(1S)	$R_{\theta JMA}$	热阻，结到外部环境（空气速率为 200 英尺/分钟）	59	50	62	47	°C/W	1, 3
四层(2s2p)	$R_{\theta JMA}$	热阻，结到外部环境（空气速率为 200 英尺/分钟）	46	41	47	38	°C/W	1, 3
—	$R_{\theta JB}$	热阻，结到板	35	32	34	28	°C/W	4
—	$R_{\theta JC}$	热阻，结到管壳	20	23	20	15	°C/W	5
—	Ψ_{JT}	热特性参数，结到外封装顶部中心（自然对流）	5	8	5	3	°C/W	6

1. 结温是裸片大小、片上功耗、封装热阻、安装环境（板）温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
2. 基于 JEDEC JESD51-2 标准，在单层板(JESD51-3)水平方向。
3. 基于 JEDEC JESD51-6，在电路板(JESD51-7)水平方向
4. 裸片和印刷电路板上的热阻，基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。
5. 裸片和封装底部焊盘之间的热阻。忽略接触热阻。
6. 基于 JEDEC JESD51-2 标准，热特性参数表示封装顶部和结温度之间的温差。未提供希腊字母时的热特性。

可通过以下公式计算平均芯片结温 (T_J)（以 °C 为单位）:

$$T_J = T_A + (P_D \times \theta_{JA})$$

其中:

T_A = 环境温度，以 °C 为单位

θ_{JA} = 封装热阻，结环境，以 °C/W 为单位

$$P_D = P_{int} + P_{I/O}$$

$P_{int} = I_{DD} \times V_{DD}$ ，以瓦特为单位 — 芯片内部功率

$P_{I/O}$ = 输入和输出引脚上的功耗 — 由用户决定

对于大多数应用， $P_{I/O} \ll P_{int}$ ，且可以忽略。 P_D 和 T_J （如果忽略 $P_{I/O}$ ）之间的近似关系是：

$$P_D = K \div (T_J + 273 \text{ }^\circ\text{C})$$

求解以上等式中的 K ：

$$K = P_D \times (T_A + 273 \text{ }^\circ\text{C}) + \theta_{JA} \times (P_D)^2$$

其中 K 是特定部分的常数。通过测量已知 T_A 的 P_D （处于均衡状态）来确定 K 。使用此 K 值，可通过以上公式迭代求解任何 T_A 值来获得 P_D 和 T_J 值。

6 模块工作要求和行为

6.1 内核模块

6.1.1 SWD 电气规格

表 10. SWD 全电压范围电气规格

符号	说明	最小值	最大值	单位
	工作电压	2.7	5.5	V
J1	SWD_CLK 工作频率 串行线调试	0	24	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉宽 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	到 SWD_CLK 上升的 SWD_DIO 输入数据建立时间	10	—	ns
J10	SWD_CLK 上升之后的 SWD_DIO 输入数据保持时间	3	—	ns
J11	SWD_CLK 高电平到 SWD_DIO 数据有效	—	35	ns
J12	SWD_CLK 高电平到 SWD_DIO 高阻抗时间	5	—	ns

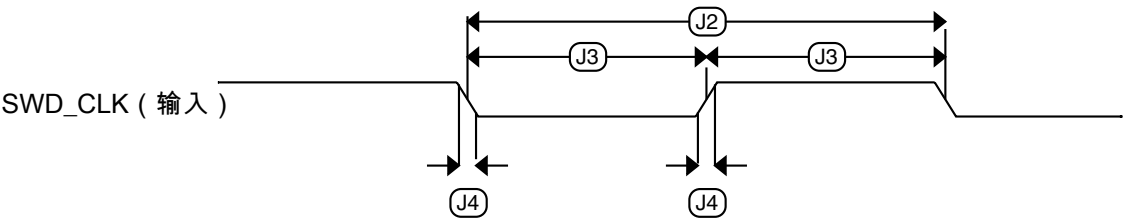


图 13. 串行线时钟输入时序

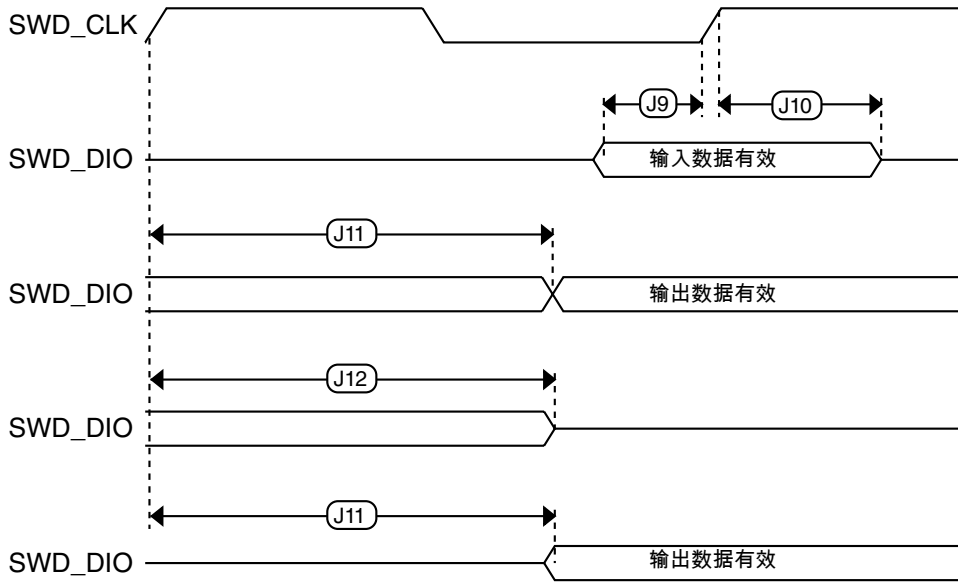


图 14. 串行线数据时序

6.2 外部振荡器(OSC)和 ICS 特性

表 11. OSC 和 ICS 规格（环境温度范围 = -40 到 105 °C）

编号	C	特性	符号	最小值	典型值 ¹	最大值	单位
1	C	振荡器晶体或谐振器	低频范围(RANGE = 0)	f_{lo}	31.25	32.768	kHz
	C		高频范围(RANGE = 1)	f_{hi}	4	24	MHz
2	D	负载电容	C1、C2	参见注释 ²			
3	D	反馈电阻	低频率、低功耗模式 ³	R_F	—	—	MΩ
			低频率、高增益模式		10	—	MΩ
			高频率、低功耗模式		1	—	MΩ
			高频率、高增益模式		1	—	MΩ
4	D	串联电阻 - 低频率	低功耗模式 ³	R_S	0	—	kΩ
			高增益模式		200	—	kΩ

下一页继续介绍此表...

表 11. OSC 和 ICS 规格 (环境温度范围 = -40 到 105 °C) (继续)

编号	C	特性		符号	最小值	典型值 ¹	最大值	单位
5	D	串联电阻 - 高频率	低功耗模式 ³	R _S	—	0	—	kΩ
	D	串联电阻 - 高频率、高增益模式	4 MHz		—	0	—	kΩ
	D		8 MHz		—	0	—	kΩ
	D		16 MHz		—	0	—	kΩ
6	C	晶振启动时间 低频范围 = 32.768 kHz 晶振；高频范围 = 20 MHz 晶振 ^{4,5}	低频范围、低功耗	t _{CSTL}	—	1000	—	ms
	C		低频范围、高增益		—	800	—	ms
	C		高频范围、低功耗	t _{CSTH}	—	3	—	ms
	C		高频范围、高增益		—	1.5	—	ms
7	T	内部参考启动时间		t _{IRST}	—	20	50	μs
8	P	内部基准时钟(IRC)频率调整范围		f _{int_t}	31.25	—	39.0625	kHz
9	P	内部基准时钟频率，出厂已调整	T = 25 °C，V _{DD} = 5 V	f _{int_ft}	—	37.5	—	kHz
10	P	DCO 输出频率范围	FLL 基准电压源 = fint_t、flo 或 fhi/RDIV	f _{dco}	40	—	50	MHz
11	P	出厂已调整的内部振荡器精度	T = 25 °C，V _{DD} = 5 V	Δf _{int_ft}	-0.5	—	0.5	%
12	C	在 T = 25 °C、V _{DD} = 5 V 的条件下调整时，IRC 随温度变化产生的偏差	温度范围是 -40 °C 至 105°C	Δf _{int_t}	-1	—	0.5	%
			温度范围是 0 °C 至 105°C	Δf _{int_t}	-0.5	—	0.5	
13	C	采用出厂调整值的 DCO 输出频率精度	温度范围是 -40 °C 至 105°C	Δf _{dco_ft}	-1.5	—	1	%
			温度范围是 0 °C 至 105°C	Δf _{dco_ft}	-1	—	1	
14	C	FLL 采集时间 ^{4, 6}		t _{Acquire}	—	—	2	ms
15	C	DCO 输出时钟长期抖动（平均间隔超过 2 ms） ⁷		C _{Jitter}	—	0.02	0.2	%f _{dco}

- 典型值列里的数据是在 5.0 V、25 °C 条件下的典型值或典型推荐值。
- 参见晶振或谐振器制造商的建议。
- 当 RANGE = HGO = 0 时, 负载电容 (C₁、C₂)、反馈电阻(R_F)和串联电阻(R_S)将内部合并。
- 此参数为典型数据, 并未在每个器件上进行测试。
- 为了达到规格要求, 务必遵循正确的 PC 板布局流程。
- 在任何时候都适用于以下条件: 当 FLL 参考源或参考分频器改变时; 当内部参考频率发生改变时; DMX32 位改变时; DRS 位改变时; 或从“禁用 FLL”(FBELP, FBILP)变为“启用 FLL”(FEI, FEE, FBE, FBI)时。当晶振/谐振器用作参考时钟源时, 此规格假定其已运行。
- 抖动是在最大 f_{Bus} 下指定间隔内与已编程频率的平均偏差。测量时使用带滤波的外部电源和稳定的外部时钟。噪声通过 V_{DD} 与 V_{SS} 注入 FLL 电路, 并且晶体振荡器频率的变化增加了给定间隔内 C_{Jitter} 的百分比。

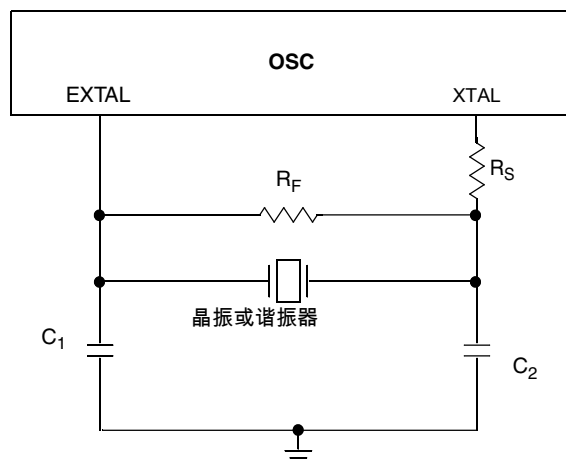


图 15. 典型晶振或谐振器电路

6.3 NVM 规格

本节详细介绍了 Flash 存储器的编程/擦除时间和编程/擦除次数。

表 12. Flash 特性

C	特性	符号	最小值 ¹	典型值 ²	最大值 ³	单位 ⁴
D	-40 °C 到 105 °C 下编程/擦除工作电压	$V_{\text{prog/erase}}$	2.7	—	5.5	V
D	读取操作的供电电压	V_{Read}	2.7	—	5.5	V
D	NVM 总线频率	f_{NVMBUS}	1	—	24	MHz
D	NVM 操作频率	f_{NVMOP}	0.8	1	1.05	MHz
D	擦除检验所有块	t_{VFYALL}	—	—	2605	t_{cyc}
D	擦除检验 Flash 块	t_{RD1BLK}	—	—	2579	t_{cyc}
D	擦除检验 Flash 区段	t_{RD1SEC}	—	—	485	t_{cyc}
D	读取一次性编程区域	t_{RDONCE}	—	—	464	t_{cyc}
D	编程 Flash (2 个字)	t_{PGM2}	0.12	0.13	0.31	ms
D	编程 Flash (4 个字)	t_{PGM4}	0.21	0.21	0.49	ms
D	编程一次性编程区域	t_{PGMONCE}	0.20	0.21	0.21	ms
D	擦除所有模块	t_{ERSALL}	95.42	100.18	100.30	ms
D	擦除 Flash 块	t_{ERSBLK}	95.42	100.18	100.30	ms
D	擦除 Flash 扇区	t_{ERSPG}	19.10	20.05	20.09	ms
D	解除 FLASH 加密	t_{UNSECU}	95.42	100.19	100.31	ms
D	验证后门访问密钥	t_{VFYKEY}	—	—	482	t_{cyc}
D	设置用户余量级别	t_{MLOADU}	—	—	415	t_{cyc}
C	FLASH 编程/擦除次数 T_L 至 $T_H = -40\text{ °C}$ 到 105 °C	n_{FLPE}	10 k	100 k	—	周期
C	平均结温为 $T_{\text{Javg}} = 85\text{ °C}$ 下高达 10,000 编程/擦除周期后数据保留周期	$t_{\text{D_ret}}$	15	100	—	年

1. 基于最大 f_{NVMOP} 和最大 f_{NVMBUS} 的最短时间

2. 基于典型 f_{NVMOP} 和最大 f_{NVMBUS} 的典型时间
3. 基于典型 f_{NVMOP} 和典型 f_{NVMBUS} ，并不断老化的最长时间
4. $t_{\text{cyc}} = 1 / f_{\text{NVMBUS}}$

编程和擦除操作不需要除标准 V_{DD} 电源之外的任何特殊电源。有关编程/擦除操作的更多详细信息，请参见参考手册中的“Flash 存储器模块”一节。

6.4 模拟

6.4.1 ADC 特性

表 13. 5 V 12 位 ADC 工作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
基准电位	• 低	V_{REFL}	V_{SSA}	—	$V_{\text{DDA}}/2$	V	—
	• 高	V_{REFH}	$V_{\text{DDA}}/2$	—	V_{DDA}		
供电电压	绝对值	V_{DDA}	2.7	—	5.5	V	—
	V_{DD} 的差值 ($V_{\text{DD}} - V_{\text{DDA}}$)	ΔV_{DDA}	-100	0	+100	mV	—
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	—
输入电容		C_{ADIN}	—	4.5	5.5	pF	—
输入电阻		R_{ADIN}	—	3	5	k Ω	—
模拟源极电阻	12 位模式	R_{AS}	—	—	2	k Ω	外部到 MCU
	• $f_{\text{ADCK}} > 4 \text{ MHz}$		—	—	5		
	• $f_{\text{ADCK}} < 4 \text{ MHz}$		—	—	5		
	10 位模式		—	—	5		
	• $f_{\text{ADCK}} > 4 \text{ MHz}$		—	—	10		
	• $f_{\text{ADCK}} < 4 \text{ MHz}$		—	—	10		
	8 位模式		—	—	10		
(所有有效 f_{ADCK})							
ADC 转换时钟频率	高速(ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	—
	低功耗(ADLPC=1)		0.4	—	4.0		

1. 除非另有说明，否则典型值假定 $V_{\text{DDA}} = 5.0 \text{ V}$ ，温度 = 25°C， $f_{\text{ADCK}} = 1.0 \text{ MHz}$ 。典型值仅供参考，并未在生产中进行测试。

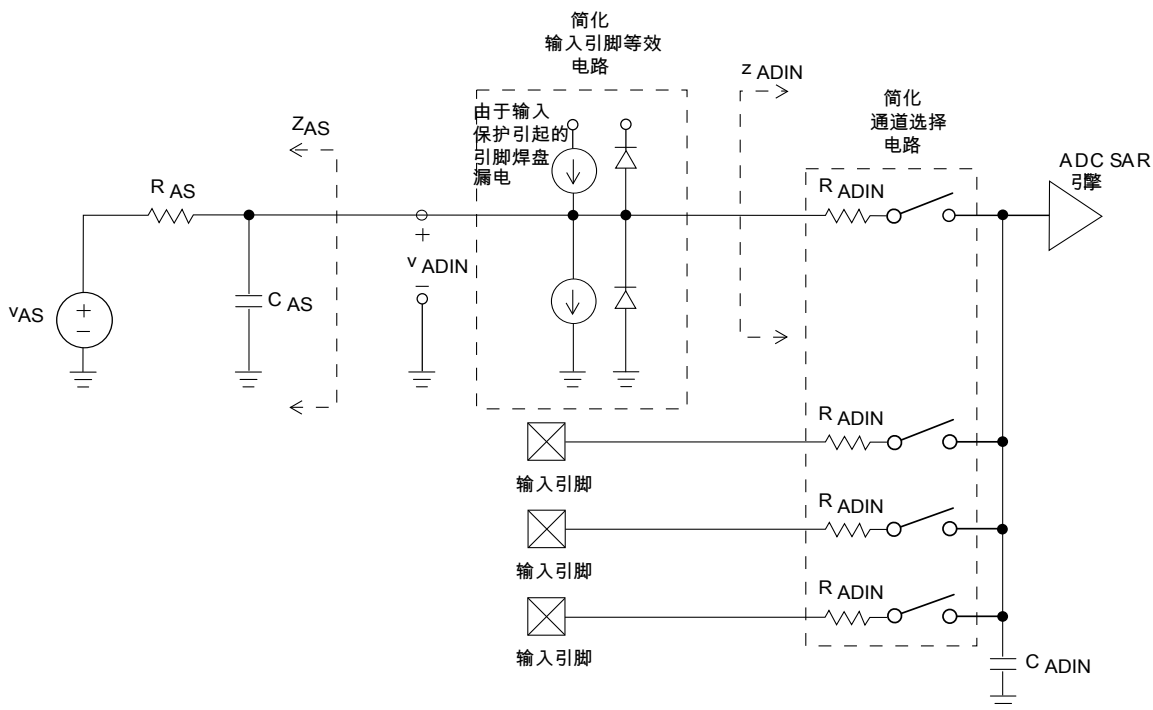


图 16. ADC 输入阻抗等效图

表 14. 12 位 ADC 特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

特性	条件	C	符号	最小值	典型值 ¹	最大值	单位
供电电流 ADLPC = 1 ADLSMP = 1 ADCO = 1		T	I _{DDA}	—	133	—	μA
供电电流 ADLPC = 1 ADLSMP = 0 ADCO = 1		T	I _{DDA}	—	218	—	μA
供电电流 ADLPC = 0 ADLSMP = 1 ADCO = 1		T	I _{DDA}	—	327	—	μA
供电电流 ADLPC = 0 ADLSMP = 0 ADCO = 1		T	I _{DDA}	—	582	990	μA
供电电流 ADC 异步时钟源	停止, 复位, 模块关闭 高速(ADLPC = 0)	T P	I _{DDA} f _{ADACK}	— 2	0.011 3.3	1 5	μA MHz

下一页继续介绍此表...

表 14. 12 位 ADC 特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

特性	条件	C	符号	最小值	典型值 ¹	最大值	单位
	低功耗(ADLPC = 1)			1.25	2	3.3	
转换时间(包括采样时间)	短样(ADLSMP = 0)	T	t_{ADC}	—	20	—	ADCK 周期
	长样(ADLSMP = 1)			—	40	—	
采样时间	短样(ADLSMP = 0)	T	t_{ADS}	—	3.5	—	ADCK 周期
	长样(ADLSMP = 1)			—	23.5	—	
未调整总误差 ²	12 位模式	C	E_{TUE}	—	± 5.0	—	LSB ³
	10 位模式	C		—	± 1.5	—	
	8 位模式	C		—	± 0.8	—	
差分非线性	12 位模式	C	DNL	—	± 1.5	—	LSB ³
	10 位模式	C		—	± 0.4	—	
	8 位模式	C		—	± 0.15	—	
积分非线性	12 位模式	C	INL	—	± 1.5	—	LSB ³
	10 位模式	C		—	± 0.4	—	
	8 位模式	C		—	± 0.15	—	
零标度误差 ⁴	12 位模式	C	E_{ZS}	—	± 1.0	—	LSB ³
	10 位模式	C		—	± 0.2	—	
	8 位模式	C		—	± 0.35	—	
满标度误差 ⁵	12 位模式	C	E_{FS}	—	± 2.5	—	LSB ³
	10 位模式	C		—	± 0.3	—	
	8 位模式	C		—	± 0.25	—	
量化误差	≤ 12 位模式	D	E_Q	—	—	± 0.5	LSB ³
输入泄漏误差 ⁶	所有模式	D	E_{IL}	$I_{IN} * R_{AS}$			mV
温度传感器斜率	-40 °C–25 °C	D	m	—	3.266	—	mV/°C
	25 °C–125 °C			—	3.638	—	
温度传感器电压	25 °C	D	V_{TEMP25}	—	1.396	—	V

1. 除非另有说明, 否则典型值假定 $V_{DDA} = 5.0$ V, 温度 = 25 °C, $f_{ADCK} = 1.0$ MHz。典型值仅供参考, 并未在生产中进行测试。
2. 包括量化
3. $1 \text{ LSB} = (V_{REFH} - V_{REFL})/2^N$
4. $V_{ADIN} = V_{SSA}$
5. $V_{ADIN} = V_{DDA}$
6. I_{IN} = 漏电流 (参考直流特性)

6.4.2 模拟比较器(ACMP)电气规格

表 15. 比较器电气规格

C	特性	符号	最小值	典型值	最大值	单位
D	供电电压	V_{DDA}	2.7	—	5.5	V
T	供电电流 (工作模式)	I_{DDA}	—	10	20	μA
D	模拟输入电压	V_{AIN}	$V_{SS} - 0.3$	—	V_{DDA}	V

下一页继续介绍此表...

表 15. 比较器电气规格 (继续)

C	特性	符号	最小值	典型值	最大值	单位
P	模拟输入偏移电压	V_{AIO}	—	—	40	mV
C	模拟比较器迟滞(HYST=0)	V_H	—	15	20	mV
C	模拟比较器迟滞(HYST=1)	V_H	—	20	30	mV
T	供电电流（关闭模式）	I_{DDAOFF}	—	60	—	nA
C	传播延迟	t_D	—	0.4	1	μs

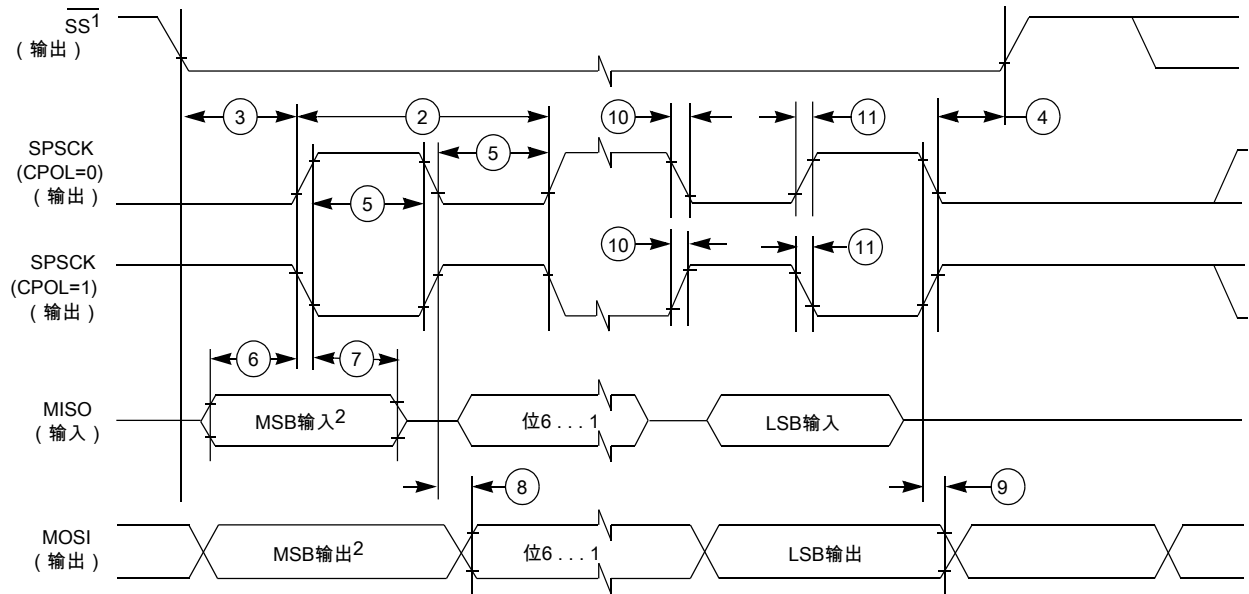
6.5 通信接口

6.5.1 SPI 开关规格

串行外设接口(SPI)可为主从操作提供同步串行总线。用户可以自由配置多数传输参数。下面各表将介绍经典 SPI 时序模式的时序特性。有关修正传输格式的信息，请参见本芯片“参考手册”中的 SPI 一章。这些格式主要用于和速度较慢的外围设备通信。如无特殊说明，表中所有时序采用的电压阈值均为 20%的 V_{DD} 和 80%的 V_{DD} ，所有 SPI 引脚挂有 25 pF 的负载。所有时序均假定已针对所有 SPI 输出引脚禁用压摆率控制并启用高驱动强度。

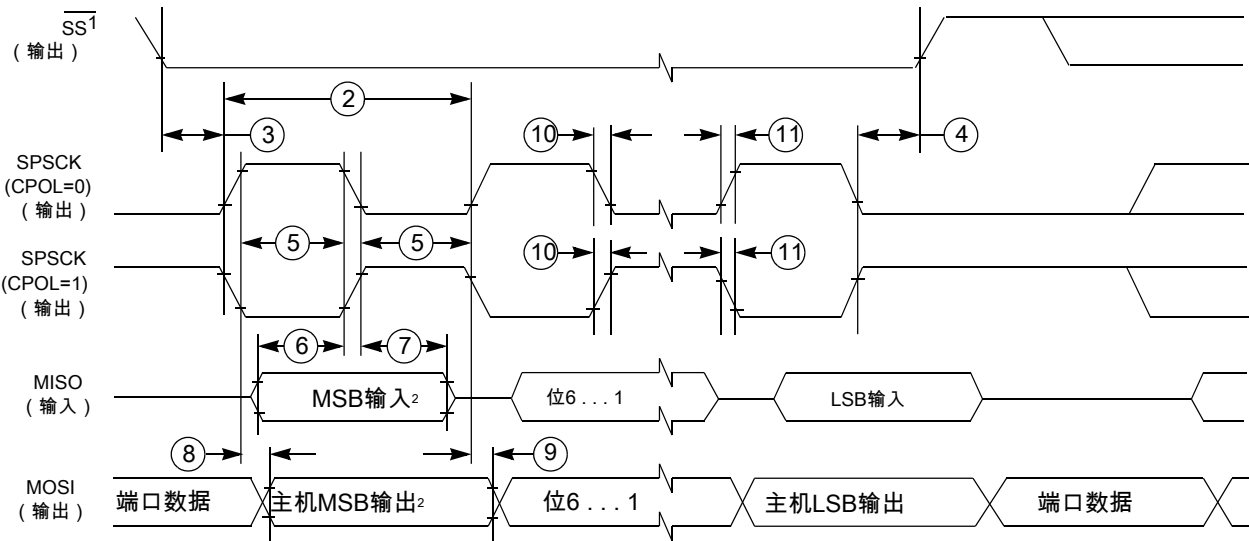
表 16. SPI 主机模式时序

编号	符号	说明	最小值	最大值	单位	注解
1	f_{op}	操作频率	$f_{Bus}/2048$	$f_{Bus}/2$	Hz	f_{Bus} 是总线时钟
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{Bus}$	$2048 \times t_{Bus}$	ns	$t_{Bus} = 1/f_{Bus}$
3	t_{Lead}	启用前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	启用滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{Bus} - 30$	$1024 \times t_{Bus}$	ns	—
6	t_{SU}	数据建立时间（输入）	8	—	ns	—
7	t_{HI}	数据保持时间（输入）	8	—	ns	—
8	t_v	有效数据（在 SPSCK 边沿后）	—	25	ns	—
9	t_{HO}	数据保持时间（输出）	20	—	ns	—
10	t_{RI}	输入上升时间	—	$t_{Bus} - 25$	ns	—
	t_{FI}	输入下降时间				
11	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				



1. 如果配置为输出。
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

图 17. SPI 主机模式时序(CPHA=0)



1. 如果配置为输出
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

图 18. SPI 主机模式时序(CPHA=1)

表 17. SPI 从机模式时序

编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	操作频率	0	$f_{Bus}/4$	Hz	f_{Bus} 是控制时序中定义的总线时钟。
2	t_{SPSCCK}	SPSCCK 周期	$4 \times t_{Bus}$	—	ns	$t_{Bus} = 1/f_{Bus}$
3	t_{Lead}	启用前置时间	1	—	t_{Bus}	—
4	t_{Lag}	启用滞后时间	1	—	t_{Bus}	—

下一页继续介绍此表...

表 17. SPI 从机模式时序 (继续)

编号	符号	说明	最小值	最大值	单位	注释
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{Bus} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	15	—	ns	—
7	t_{HI}	数据保持时间 (输入)	25	—	ns	—
8	t_a	从机访问时间	—	t_{Bus}	ns	从高阻抗状态到数据有效的 的时间
9	t_{dis}	从机 MISO 禁用时间	—	t_{Bus}	ns	到高阻抗状态的保持时间
10	t_v	有效数据 (在 SPSCK 边沿后)	—	25	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	$t_{Bus} - 25$	ns	—
	t_{FI}	输入下降时间				
13	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				

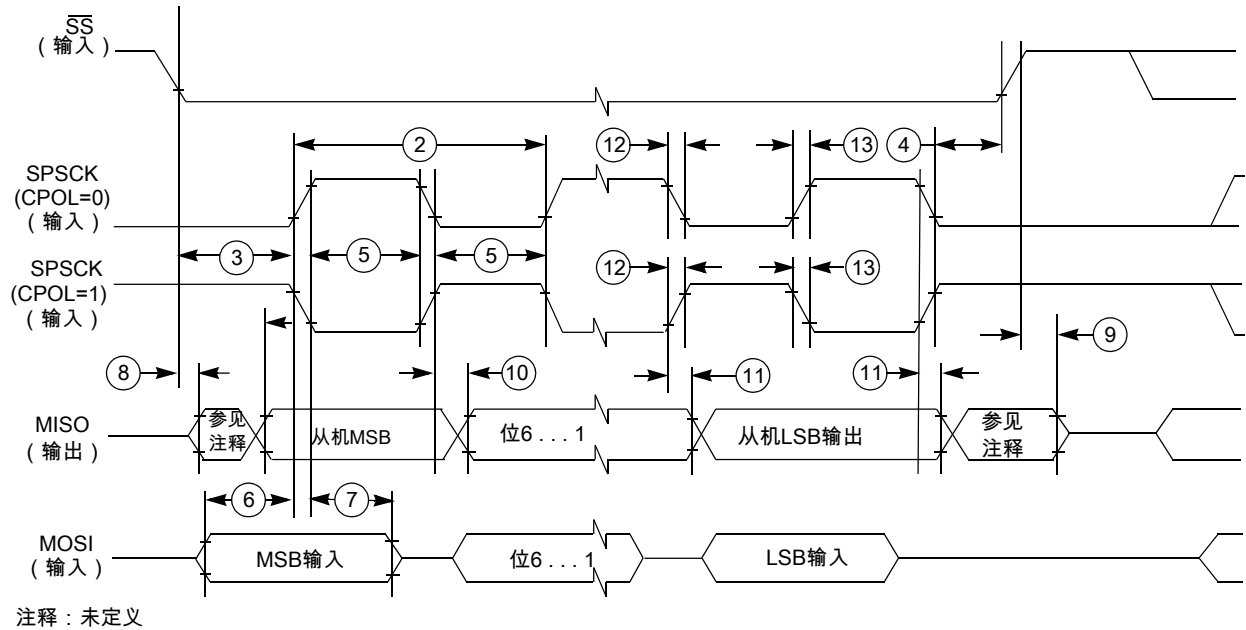


图 19. SPI 从机模式时序(CPHA = 0)

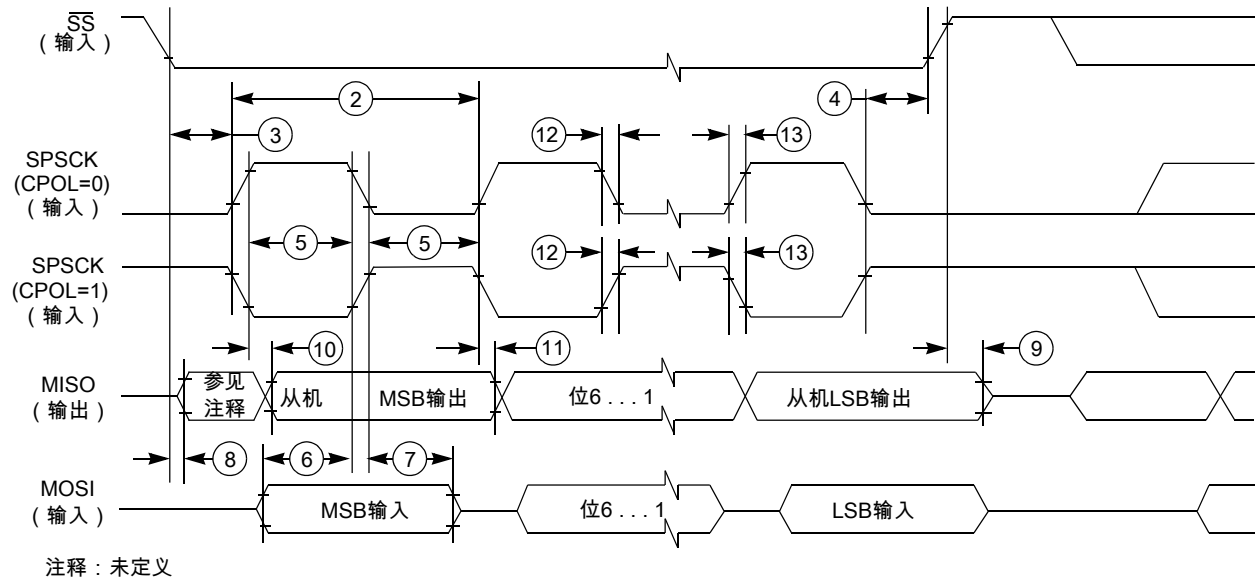


图 20. SPI 从机模式时序(CPHA = 1)

6.5.2 MSCAN

表 18. MSCAN 唤醒脉冲特性

参数	符号	最小值	典型值	最大值	单位
过滤掉的 MSCAN“显性”唤醒脉冲宽度	t_{WUP}	-	-	1.5	μs
有效的 MSCAN“显性”唤醒脉冲宽度	t_{WUP}	5	-	-	μs

7 尺寸

7.1 获取封装尺寸

封装尺寸包含在封装图纸中。

如要查找封装图纸, 敬请前往 freescale.com, 并按关键字搜索封装图纸的文档编号:

如果需要此封装的图纸	请使用此文档编号
44 引脚 LQFP	98ASS23225W
64 引脚 QFP	98ASB42844B
64 引脚 LQFP	98ASS23234W
80 引脚 LQFP	98ASS23237W

8 引脚分配

8.1 信号多路复用和引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档支持的器件上的位置。“端口控制模块”负责选择每个引脚上的 ALT 功能。

注

VSS 与 VSSA 在内部相连。

VREFH 与 VDDA 在 64 引脚封装中内部相连。

PTB4、PTB5、PTD0、PTD1、PTE0、PTE1、PTH0 和 PTH1 用作输出时为高电流驱动引脚。

PTA2 和 PTA3 在用作输出时为有效的开漏引脚。

80 LQFP	64 LQFP /QFP	44 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
1	1	1	PTD1	禁用	PTD1	KBIO_P25	FTM2_CH3	SPI1_MOSI				
2	2	2	PTD0	禁用	PTD0	KBIO_P24	FTM2_CH2	SPI1_SCK				
3	3	—	PTH7	禁用	PTH7	KB11_P31	PWT_IN1					
4	4	—	PTH6	禁用	PTH6	KB11_P30						
5	—	—	PTH5	禁用	PTH5	KB11_P29						
6	5	3	PTE7	禁用	PTE7	KB11_P7	TCLK2		FTM1_CH1	CAN0_TX		
7	6	4	PTH2	禁用	PTH2	KB11_P26	BUSOUT		FTM1_CH0	CAN0_RX		
8	7	5	VDD	VDD							VDD	
9	8	6	VDDA	VDDA						VREFH	VDDA	
10	—	—	VREFH	VREFH							VREFH	
11	9	7	VREFL	VREFL							VREFL	
12	10	8	VSS/ VSSA	VSS/ VSSA						VSSA	VSS	
13	11	9	PTB7	EXTAL	PTB7	KBIO_P15	I2C0_SCL				EXTAL	
14	12	10	PTB6	XTAL	PTB6	KBIO_P14	I2C0_SDA				XTAL	
15	13	11	PTI4	禁用	PTI4		IRQ					
16	—	—	PTI1	禁用	PTI1		IRQ	UART2_TX				
17	—	—	PTI0	禁用	PTI0		IRQ	UART2_RX				
18	14	—	PTH1	禁用	PTH1	KB11_P25	FTM2_CH1					
19	15	—	PTH0	禁用	PTH0	KB11_P24	FTM2_CH0					
20	16	—	PTE6	禁用	PTE6	KB11_P6						
21	17	—	PTE5	禁用	PTE5	KB11_P5						

80 LQFP	64 LQFP /QFP	44 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
22	18	12	PTB5	禁用	PTB5	KBIO_P13	FTM2_CH5	SPI0_PCS	ACMP1_OUT			
23	19	13	PTB4	NMI_b	PTB4	KBIO_P12	FTM2_CH4	SPI0_MISO	ACMP1_IN2	NMI_b		
24	20	14	PTC3	ADC0_SE11	PTC3	KBIO_P19	FTM2_CH3		ADC0_SE11			
25	21	15	PTC2	ADC0_SE10	PTC2	KBIO_P18	FTM2_CH2		ADC0_SE10			
26	22	16	PTD7	禁用	PTD7	KBIO_P31	UART2_TX					
27	23	17	PTD6	禁用	PTD6	KBIO_P30	UART2_RX					
28	24	18	PTD5	禁用	PTD5	KBIO_P29	PWT_IN0					
29	—	—	PTI6	禁用	PTI6	IRQ						
30	—	—	PTI5	禁用	PTI5	IRQ						
31	25	19	PTC1	ADC0_SE9	PTC1	KBIO_P17	FTM2_CH1		ADC0_SE9			
32	26	20	PTC0	ADC0_SE8	PTC0	KBIO_P16	FTM2_CH0		ADC0_SE8			
33	—	—	PTH4	禁用	PTH4	KBIO_P28	I2C1_SCL					
34	—	—	PTH3	禁用	PTH3	KBIO_P27	I2C1_SDA					
35	27	—	PTF7	ADC0_SE15	PTF7	KBIO_P15			ADC0_SE15			
36	28	—	PTF6	ADC0_SE14	PTF6	KBIO_P14			ADC0_SE14			
37	29	—	PTF5	ADC0_SE13	PTF5	KBIO_P13			ADC0_SE13			
38	30	—	PTF4	ADC0_SE12	PTF4	KBIO_P12			ADC0_SE12			
39	31	21	PTB3	ADC0_SE7	PTB3	KBIO_P11	SPI0_MOSI	FTM0_CH1	ADC0_SE7			
40	32	22	PTB2	ADC0_SE6	PTB2	KBIO_P10	SPI0_SCK	FTM0_CH0	ADC0_SE6			
41	33	23	PTB1	ADC0_SE5	PTB1	KBIO_P9	UART0_TX		ADC0_SE5			
42	34	24	PTB0	ADC0_SE4	PTB0	KBIO_P8	UART0_RX	PWT_IN1	ADC0_SE4			
43	35	—	PTF3	禁用	PTF3	KBIO_P11	UART1_TX					
44	36	—	PTF2	禁用	PTF2	KBIO_P10	UART1_RX					
45	37	25	PTA7	ADC0_SE3	PTA7	KBIO_P7	FTM2_FLT2	ACMP1_IN1	ADC0_SE3			
46	38	26	PTA6	ADC0_SE2	PTA6	KBIO_P6	FTM2_FLT1	ACMP1_IN0	ADC0_SE2			
47	39	—	PTE4	禁用	PTE4	KBIO_P4						
48	40	27	VSS	VSS							VSS	
49	41	28	VDD	VDD							VDD	
50	—	—	PTG7	禁用	PTG7	KBIO_P23	FTM2_CH5	SPI1_PCS				
51	—	—	PTG6	禁用	PTG6	KBIO_P22	FTM2_CH4	SPI1_MISO				
52	—	—	PTG5	禁用	PTG5	KBIO_P21	FTM2_CH3	SPI1_MOSI				
53	—	—	PTG4	禁用	PTG4	KBIO_P20	FTM2_CH2	SPI1_SCK				
54	42	—	PTF1	禁用	PTF1	KBIO_P9	FTM2_CH1					
55	43	—	PTF0	禁用	PTF0	KBIO_P8	FTM2_CH0					
56	44	29	PTD4	禁用	PTD4	KBIO_P28						
57	45	30	PTD3	禁用	PTD3	KBIO_P27	SPI1_PCS					
58	46	31	PTD2	禁用	PTD2	KBIO_P26	SPI1_MISO					
59	47	32	PTA3	禁用	PTA3	KBIO_P3	UART0_TX	I2C0_SCL				
60	48	33	PTA2	禁用	PTA2	KBIO_P2	UART0_RX	I2C0_SDA				
61	49	34	PTA1	ADC0_SE1	PTA1	KBIO_P1	FTM0_CH1	I2C0_4WSDAOUT	ACMP0_IN1	ADC0_SE1		

80 LQFP	64 LQFP /QFP	44 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
62	50	35	PTA0	ADC0_SE0	PTA0	KBI0_P0	FTM0_CH0	I2C0_4WSCLOUT	ACMP0_IN0	ADC0_SE0		
63	51	36	PTC7	禁用	PTC7	KBI0_P23	UART1_TX			CAN0_TX		
64	52	37	PTC6	禁用	PTC6	KBI0_P22	UART1_RX			CAN0_RX		
65	—	—	PTI3	禁用	PTI3	IRQ						
66	—	—	PTI2	禁用	PTI2	IRQ						
67	53	—	PTE3	禁用	PTE3	KBI1_P3	SPI0_PCS					
68	54	38	PTE2	禁用	PTE2	KBI1_P2	SPI0_MISO	PWT_IN0				
69	—	—	VSS	VSS							VSS	
70	—	—	VDD	VDD							VDD	
71	55	—	PTG3	禁用	PTG3	KBI1_P19						
72	56	—	PTG2	禁用	PTG2	KBI1_P18						
73	57	—	PTG1	禁用	PTG1	KBI1_P17						
74	58	—	PTG0	禁用	PTG0	KBI1_P16						
75	59	39	PTE1	禁用	PTE1	KBI1_P1	SPI0_MOSI		I2C1_SCL			
76	60	40	PTE0	禁用	PTE0	KBI1_P0	SPI0_SCK	TCLK1	I2C1_SDA			
77	61	41	PTC5	禁用	PTC5	KBI0_P21		FTM1_CH1		RTC_CLKOUT		
78	62	42	PTC4	SWD_CLK	PTC4	KBI0_P20	RTC_CLKOUT	FTM1_CH0	ACMP0_IN2	SWD_CLK		
79	63	43	PTA5	RESET_b	PTA5	KBI0_P5	IRQ	TCLK0	RESET_b			
80	64	44	PTA4	SWD_DIO	PTA4	KBI0_P4		ACMP0_OUT	SWD_DIO			

8.2 器件引脚分配

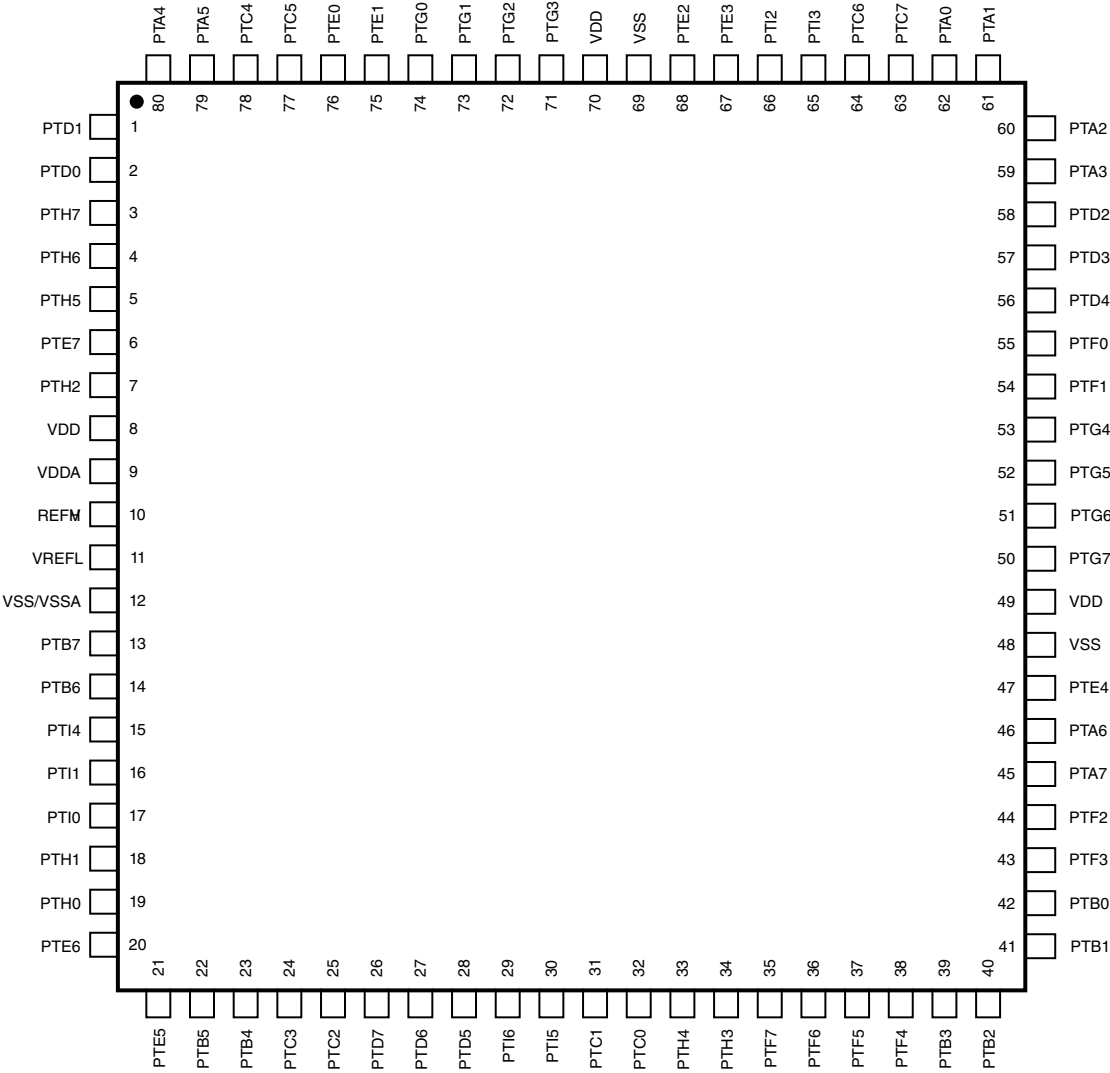


图 21. 80 引脚 LQFP 封装

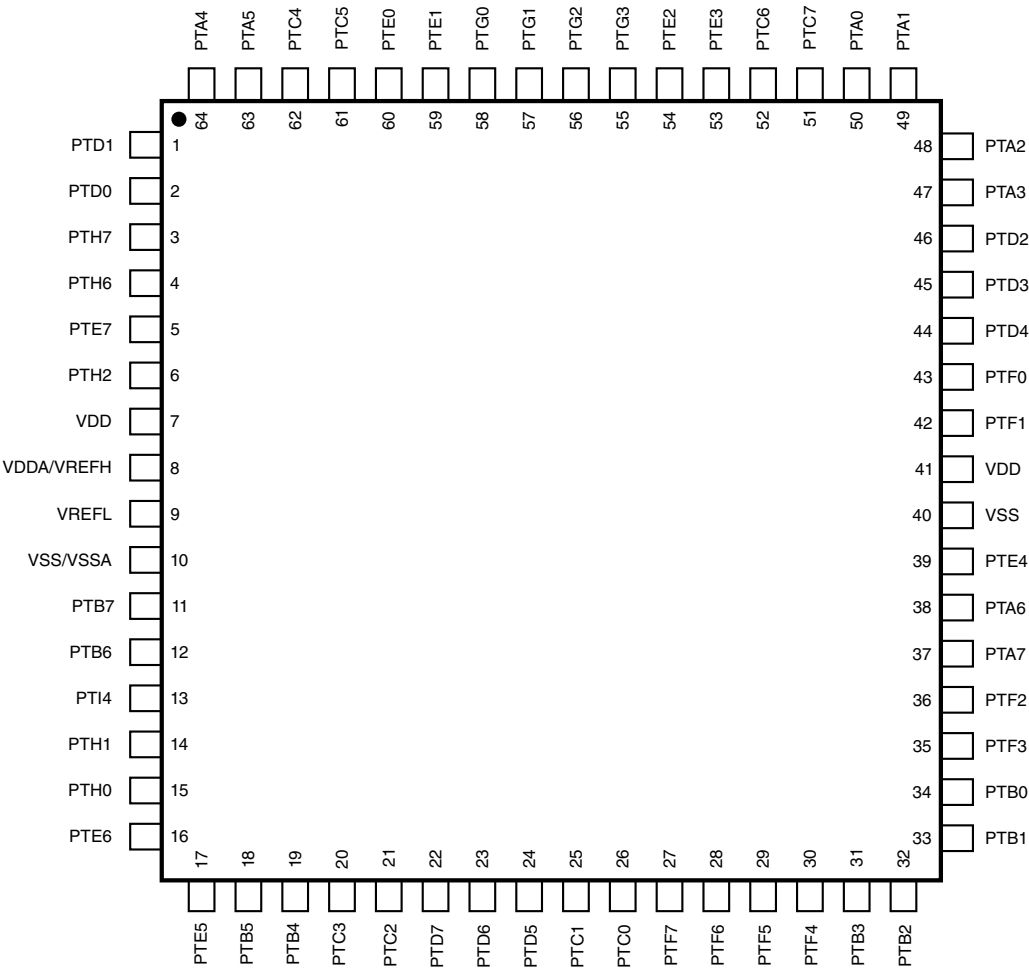


图 22. 64 引脚 QFP/LQFP 封装

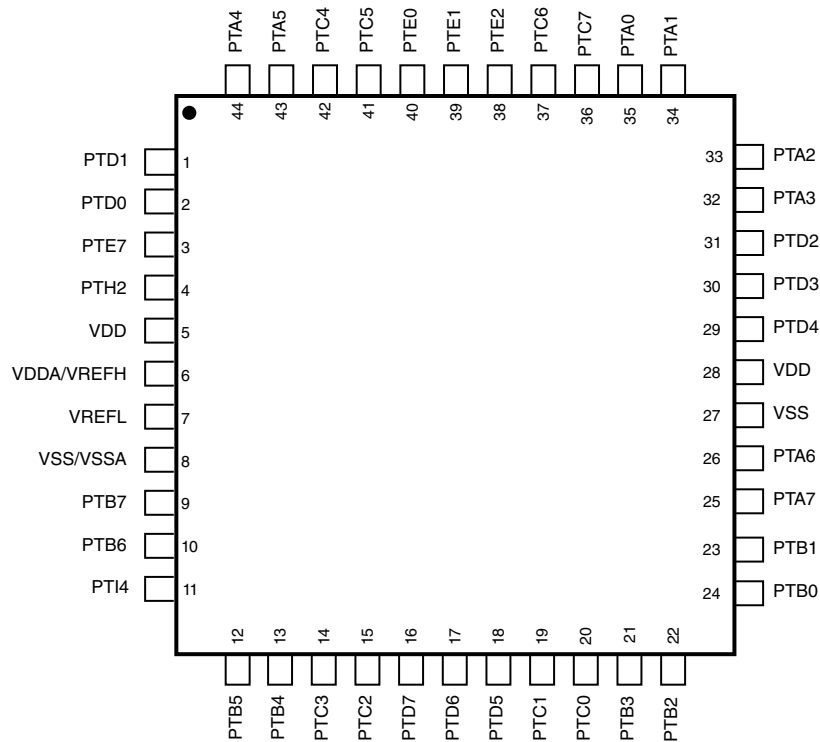


图 23. 44 引脚 LQFP 封装

9 修订记录

下表列出本文的修订记录。

表 19. 修订记录

修订版本号	日期	重大变更
2	3/2014	初次公开发行人版。

下一页继续介绍此表...

表 19. 修订记录 (继续)

修订版本号	日期	重大变更
3	5/2014	- 更新了 SI_{DD} 的最大值。 - 更新了 V_{OH} 脚注。 - 修正了 FTM 输入时序表中的单位。

How to Reach Us:**Home Page:**freescale.com**Web Support:**freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。

Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。

Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, the Freescale logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex-M0+ are the registered trademarks of ARM Limited.

© 2013-2014 Freescale Semiconductor, Inc.

© 2013-2014 飞思卡尔半导体有限公司